

TRANSLATION FROM JAPANESE

- (19) JAPANESE PATENT OFFICE (JP)
 (12) Unexamined Patent Gazette (A)
 (11) Unexamined Patent Application (Kokai) No. 6-232126
 (43) Disclosure Date: August 19, 1994

| | Class. | Internal Office | | Technical |
|-----------------------------------|----------------|----------------------|--------------|-----------------------------|
| (51) <u>Int. Cl.</u> ⁵ | <u>Symbols</u> | <u>Registr. Nos.</u> | <u>F I</u> | <u>Classification Field</u> |
| H 01 L 21/3205 | | | | |
| | 33/00 | A 7376-4M | | |
| | | M 7376-4M | | |
| | | 7514-4M | H 01 L 21/88 | K |

Request for Examination: Not yet submitted

Number of Claims: 7 OL

(Total of 13 pages [in original])

(21) Application No.: 5-16153

(22) Filing Date: February 3, 1993

(71) Applicant: 000004226 (Nippon Telegraph & Telephone Corporation;

1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(72) Inventor: Masami Tachikawa (c/o Nippon Telegraph & Telephone Corporation;

1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(72) Inventor: Hidefumi Mori (c/o Nippon Telegraph & Telephone Corporation;

1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(72) Inventor: Yoshio Ito (c/o Nippon Telegraph & Telephone Corporation;
1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(74) Agent: Toshio Mitsuishi, Patent Attorney (and one other)

(Continued on last page)

(54) [Title of the Invention] **Composite Semiconductor Circuit Device and
Fabrication Method Thereof**

(57) [Summary]

[Object] To provide a composite semiconductor circuit device obtained by fashioning Si electronic circuit elements, Group III-V optoelectronic circuit elements, and optical lines (waveguides) on the same substrate, and to provide a fabrication method thereof.

[Composition] An Si substrate 11 is provided with Si LSI 13 and Group III-V optoelectronic elements 12 arranged in parallel, and wiring 16 is formed by employing a wiring material to fill vertical wiring holes 15 extending from the flat surface of a leveling SiO₂ layer 14 covering the circuits and the elements.

Key 11: Si substrate; 12: GaAs optoelectronic element; 14: SiO₂ film; 15: hole; 16: wiring

[Claims]

[Claim 1] A composite semiconductor circuit device, characterized in that Group III-V electronic/optoelectronic elements and Si LSI circuits are formed in parallel on an Si

substrate, and wiring is formed on the substrate between the Group III-V optoelectronic circuit elements and the Si elements such that the wiring has a flat configuration in the transverse direction.

[Claim 2] A composite semiconductor circuit device as defined in Claim 1, characterized in that the upper surfaces of the Group III-V elements are aligned with the upper surfaces of the Si LSI circuits, the lower surfaces of the elements lie below the lower surfaces of the circuits, and the Group III-V elements have considerable thickness.

[Claim 3] A composite semiconductor circuit device, characterized in that Group III-V optoelectronic elements and Si LSI circuits are formed in parallel on an Si substrate, and electrical/optical wiring is formed on the substrate between the Group III-V elements and the Si elements, with the electrical/optical wiring having a flat configuration in the transverse direction.

[Claim 4] A method for fabricating a composite semiconductor circuit device, characterized by comprising the following steps for forming electrical and optical elements on a composite semiconductor substrate obtained by growing a composite semiconductor on an Si substrate:

(1) a step in which the compound semiconductor is selectively grown by heteroepitaxy on portions of the Si substrate;

(2) a step in which a first leveling layer composed of a leveling material is formed over the entire surface in a greater thickness than that of surface irregularities;

(3) a step in which the surface of the first leveling layer is leveled off by polishing;

(4) a step in which prescribed element structures are grown on the leveled and selectively grown semiconductor;

(5) a step in which a second leveling layer composed of a leveling material is formed over the entire surface in a greater thickness than that of surface irregularities;

(6) a step in which the surface of the second leveling layer is leveled off by polishing;

(7) a step in which holes are bored in parts of the leveled leveling materials all the way down to the underlying Si substrate, the selectively grown semiconductor substrate, or the electrodes formed thereon; and

(8) a step in which a wiring material is deposited in the holes, and lines are formed on the surface.

[Claim 5] A method for fabricating a composite semiconductor circuit device as defined in Claim 4, characterized in that, when a compound semiconductor is selectively grown by heteroepitaxy on portions of the Si substrate, holes are bored in the portions of the Si surface where the compound semiconductor has been grown in advance, and a thick Group III-V semiconductor film is then formed following a surface leveling step.

[Claim 6] A method for fabricating a composite semiconductor circuit device as defined in Claim 4 or 5, characterized in that prescribed thickness areas are provided with a material

that has a low polishing rate and is designed to terminate polishing during the polishing of the leveling materials.

[Claim 7] A method for fabricating a composite semiconductor circuit device as defined in Claim 4, characterized in that first-layer optical wiring is formed on a flat surface resulting from the wiring of a leveled layer surface, the wiring is then covered with a third leveling layer that is composed of a leveling material and is thicker than surface irregularities, the layer is leveled by surface polishing, and second-level optical wiring is subsequently formed substantially orthogonally relative to the first-level optical wiring.

[Detailed Description of the Invention]

[0001]

[Technological Field of the Invention] The present invention relates to a composite semiconductor circuit device in which Si electronic circuit elements, Group III-V optoelectronic circuit elements (Group III-V elements) and an optical wiring (waveguide) are fashioned on the same composite semiconductor substrate typified by GaAs/Si or the like, and to a fabrication method thereof.

[0002]

[Prior Art and Problems Which the Invention Is Intended to Solve] In conventional practice, Group III-V devices are fabricated and wiring is formed directly by processes involving Group III-V/Si elements.

[0003] Fig. 19 is a schematic illustrating the fabrication of a conventional composite semiconductor circuit device. In the drawing, 01 is an Si substrate, 02 an Si LSI circuit,

03 a quality-improving layer and 04 an element layer. In a conventional wiring operation, the Si LSI circuit 02 and element layer 04 are merely covered with a wiring material to form wiring 05.

[0004] It can be seen in Fig. 19, however, that a difference in grade exists between the Si LSI circuit 02 and the element layer 04, and this difference increases with an increase in the number of layers formed in a photolithographic process. In the particular case of Group III-V/Si elements, a film measuring several micrometers must be layered on the quality-improving layer of a Group III-V crystal, making the difference in grade particularly problematic. In addition, wiring is difficult to perform if a surface has a difference in grade. First, wires break due to the difference in grade. Secondly, lithographic sharpness deteriorates because the depth of focus is affected by the difference in grade during a photolithographic process. For this reason, a Group III-V/Si composite semiconductor circuit device cannot have a high degree of integration.

[0005] It is also known that optical lines must be laid between light-emitting elements and light-receiving elements. One such method features the use of optical waveguides. An optical waveguide commonly comprises a light-transmitting portion (core) and a portion (cladding, which may sometimes be air) having a different refractive index for preventing light from escaping. According to this technology, light entering the core can reach the desired location without leaking outside (in other words, without a significant loss).

[0006] An optical waveguide is different from an electric conductor in that it is difficult to cause light to follow sharp curves. Consequently, it has so far been impossible to fashion

optical waveguides on a Group III-V/Si composite semiconductor circuit device because of more pronounced surface irregularities and increased loss.

[0007] In view of the above-described shortcomings, it is an object of the present invention to provide an optoelectronic composite semiconductor device and fabrication method that would allow photolithography and wiring to be performed on flat surfaces in Group III-V/Si devices requiring thick film formation, making it possible to make the resulting wiring more precipitous and to improve photolithographic accuracy, and thus to form low-loss optical waveguides provided with the aforementioned elements and endowed with a higher degree of integration.

[0008]

[Means Used to Solve the Abovementioned Problems] Aimed at attaining the stated object, the composite semiconductor circuit device pertaining to the present invention is characterized in that Group III-V optoelectronic elements and Si LSI circuits are formed in parallel on an Si substrate, and wiring is formed on the substrate between the Group III-V optoelectronic circuit elements and the Si elements such that the wiring has a flat configuration in the transverse direction.

[0009] The aforementioned structure is characterized in that the upper surfaces of the Group III-V elements are aligned with the upper surfaces of the Si LSI circuits, the lower surfaces of the elements lie below the lower surfaces of the circuits, and the Group III-V elements have considerable thickness.

[0010] According to another structure of a composite semiconductor circuit device, Group III-V optoelectronic elements and Si LSI circuits are formed in parallel on an Si substrate, and electrical/optical wiring is formed on the substrate between the Group III-V elements and the Si elements, with the electrical/optical wiring having a flat configuration in the transverse direction.

[0011] The method for fabricating a composite semiconductor circuit device according to the present invention is characterized by comprising the following steps for forming electrical and optical elements on a composite semiconductor substrate obtained by growing a composite semiconductor on an Si substrate: (1) a step in which the compound semiconductor is selectively grown by heteroepitaxy on portions of the Si substrate; (2) a step in which a first leveling layer composed of a leveling material is formed over the entire surface in a greater thickness than that of surface irregularities; (3) a step in which the surface of the first leveling layer is leveled off by polishing; (4) a step in which prescribed element structures are grown on the leveled and selectively grown semiconductor; (5) a step in which a second leveling layer composed of a leveling material is formed over the entire surface in a greater thickness than that of surface irregularities; (6) a step in which the surface of the second leveling layer is leveled off by polishing; (7) a step in which holes are bored in parts of the leveled leveling materials all the way down to the underlying Si substrate, the selectively grown semiconductor substrate or the electrodes formed thereon; and (8) a step in which a wiring material is deposited in the holes, and lines are formed on the surface.

[0012] The aforementioned structure is characterized in that, when a compound semiconductor is selectively grown by heteroepitaxy on portions of the Si substrate, holes are bored in the portions of the Si surface where the compound semiconductor has been grown in advance, and a thick Group III-V semiconductor film is then formed following a surface leveling step.

[0013] The aforementioned structure is also characterized in that prescribed thickness areas are provided with a material that has a low polishing rate and is designed to terminate polishing during the polishing of the leveling materials.

[0014] The aforementioned structure is also characterized in that first-layer optical wiring is formed on a flat surface resulting from the wiring of a leveled layer surface, the wiring is then covered with a third leveling layer that is composed of a leveling material and is thicker than surface irregularities, the layer is leveled by surface polishing, and second-level optical wiring is subsequently formed substantially orthogonally relative to the first-level optical wiring.

[0015] Specifically, the present invention has the following features. (1) A method is adopted in which a thick leveling material is deposited, the material is leveled off by a polishing technique having a proven polishing effect, and the process is advanced to the subsequent step. (2) Portions for growing a Group III-V material are bored before the Group III-V material undergoes heteroepitaxy, and leveling irregularities are reduced, albeit slightly, by the above-described method. (3) Markers are introduced for automatically stopping the polishing of the leveling members in a self-aligned manner (longitudinal direction), making it possible to relax polishing requirements and to improve

reproducibility. (4) Such leveling allows conventional optical waveguide manufacturing techniques (including photolithography) to be used following the integration of optoelectronic circuits (semiconductors), and makes it possible to combine electric and optical wiring. In other words, so-called in-board and in-chip interconnections can be made without compromising conventional Si LSI and Group III-V optoelectronic techniques.

[0016]

[Working Examples] Working examples pertaining to the present invention will now be described with reference to drawings.

(Working Example 1) Fig. 1 is a schematic of the composite semiconductor circuit device pertaining to the present working example. It can be seen in the drawing that an Si substrate 11 is provided with Si LSI 13 and Group III-V optoelectronic elements 12 arranged in parallel, and wiring 16 is formed by employing a wiring material to fill vertical wiring holes 15 extending downward from the flat surface of a leveling layer 14 covering the circuits and the elements.

[0017] Fig. 2 illustrates a first working example with reference to GaAs/Si. An Si LSI circuit 12 [sic] is formed on an Si substrate 11. Part of the Si surface is left unobstructed and exposed as a GaAs region. GaAs is selectively formed on the substrate. An SiO₂ film 21 is first layered by CVD. The portion of the SiO₂ film 21 over which GaAs is to be grown is then etched by lithography, and the Si substrate 11 is exposed (Fig. 2(A)).

[0018] GaAs is grown by vapor-phase epitaxy. It is possible to selectively involve the Si surface alone in epitaxial growth, with the SiO₂ film 21 being left out of the growth process. A GaAs layer 22 is thus selectively grown in a thickness of about 4 μm (Fig. 2(B)).

[0019] An SiO₂ leveling film 23 (first leveling layer) is subsequently layered by CVD in a thickness of about 5 μm (Fig. 3(A)). Viewed from the Si surface, this layer is made 1 μm thicker than the thickest part of the GaAs surface (4 μm). The SiO₂ leveling film 23 is then polished by chemical polishing and leveled off together with the GaAs layer 22 to a thickness of 3 μm, as measured from the Si surface (Fig. 3(B)).

[0020] The resulting surface smoothness is 50 Å or less (in terms of irregularities). Concurrently with the leveling of the SiO₂ leveling film 23, the surface of the GaAs layer 22 is polished to the same height as the SiO₂ surface. This is due to a feature whereby the polishing rate of the GaAs layer 22 is higher than that of SiO₂, causing the GaAs surface to be automatically leveled down to the same height as the SiO₂ surface during SiO₂ leveling.

[0021] An electronic element (in the present working example, an HBT (Hetero Bipolar Transistor) 24, an HEMT (High Electron Mobility Transistor) and an FET) composed of GaAs and AlGaAs, and an optical element (an LD (Laser Diode) and a PD (Photo Detector)) 25 composed of GaAs and AlGaAs are then formed on the exposed surfaces of the SiO₂ leveling film 23 and GaAs layer 22 (Fig. 4(A)). In this case, as in the step shown in Fig. 2(B), an SiO₂ film can be selectively grown to manufacture an optoelectronic

element 26 solely on the exposed surface of the GaAs layer 22, yielding a GaAs optoelectronic element 12. In its thick section, the element has a thickness of about 1 μm .

[0022] An SiO_2 leveling film 27 (second leveling layer) is subsequently layered in a thickness of about 2 μm for leveling purposes (Fig. 4(B)). The SiO_2 leveling film 27 is then polished by chemical polishing and leveled off to a thickness of 4.3 μm , as measured from the surface of the Si substrate 11 (Fig. 5(A)). The resulting surface smoothness is 50 \AA or less (in terms of irregularities).

[0023] Wiring holes are then formed in the electrode portions of Si LSI 13 and the GaAs optoelectronic element 12. The material is uniformly coated with a photoresist and exposed through a mask. The SiO_2 leveling film 27 is selectively etched by RIE according to a common photolithographic technique. Because the SiO_2 leveling film 27 has a flat surface ($< 50 \text{\AA}$), good photolithographic sharpness can be achieved, and the holes 15 can be made as narrow as is allowed by the limit imposed by the photolithographic device (the line width accuracy of the device and process described herein is 0.1 μm) (Fig. 5(B)). In principle, a line width of up to about 50 \AA can be achieved by increasing device accuracy.

[0024] A wiring metal is then deposited by CVD to form wiring 16. In this case, connections can be made without causing wire breakage or disturbing the perforated (pinhole) area of SiO_2 in any way. The desired wiring 16 can again be formed by photolithography below the surface (Fig. 1).

[0025] Although this is not shown in the drawings, a multilayer wiring 16 can be obtained by repeating the wiring steps shown in Figs 5(A), 5(B) and 1. The above example was

described with reference to a three-layer wiring, but more layers can be stacked without affecting wiring accuracy or the like in any way.

[0026] (Working Example 2) Fig. 2 illustrates a second working example with reference to InP/Si. In this example, a wired Si LSI circuit is formed on an Si substrate. InP is selectively grown on the substrate. In the present working example, an 8- μ m recess 31 is bored in advance in an Si substrate 11 as a region for selectively growing an InP layer.

[0027] An SiO₂ film 21 is first layered by CVD. The portion of the SiO₂ film 21 for growing InP is etched by photolithography, exposing the Si substrate 11 (Fig. 6(A)).

[0028] Whereas Working Example 1 was such that the Si surface for growing InP was the same as the rest of the Si surface, the InP growth portion of Working Example 2 is shaped as a recess 31 in the above-described manner.

[0029] Two methods can be used to form the recessed portion.

[0030] According to a first method, the recess 31 is formed following the step of Working Example 1 shown in Fig. 2(A). In the step shown in Fig. 2(A), the SiO₂ film 21 is etched, and the Si substrate is then etched as well, yielding a recess 31 extending to about 8 μ m from the Si surface in the manner shown in Fig. 6(A). To etch the Si substrate 11 according to the present working example, the photoresist for etching the SiO₂ film 21 is left unchanged, and the recess 31 is formed by RIE (Reactive Ion Etching). It is apparent that other conventionally known techniques and methods (dry etching, wet etching) may also be employed for Si etching.

[0031] In another approach, a recess 31 is formed by one of the aforementioned techniques in the InP-growth area of the Si substrate 11 before the Si LSI 13 is grown.

Although both types of methods were used in the present working example, either of them yields the same results when used alone. The recess formation time is related to the Si LSI formation step, and an appropriate method can be used depending on the specifics.

[0032] InP is grown by vapor-phase epitaxy. It is possible to selectively involve the surface of the Si substrate 11 in epitaxial growth, with the SiO₂ film 21 being left out of the growth process. An InP layer 32 is thus grown in a thickness of about 10 μm (Fig. 6(B)).

[0033] An SiO₂ leveling film 23 (first leveling layer) is subsequently layered by CVD in a thickness of about 3 μm (Fig. 7(A)). Viewed from the Si surface, this layer is 1 μm thicker than the thickest InP surface (2 μm). The SiO₂ leveling film 23 is then polished by chemical polishing and leveled off to a thickness of 1 μm from the surface of the Si substrate 11 (Fig. 7(B)).

[0034] The resulting surface smoothness is 50 Å or less (in terms of irregularities). Concurrently with the leveling of the SiO₂ leveling film 23, the surface of the InP layer 32 is polished to the same height as the SiO₂ surface. This is due to a feature whereby the polishing rate of the InP is higher than that of SiO₂, causing the InP surface to be automatically leveled down to the same height as the SiO₂ surface during SiO₂ leveling. An electronic element (in the present working example, an HBT (Hetero Bipolar Transistor) 33, an HEMT (High Electron Mobility Transistor) and an FET) composed of

InP and InGaAsP, and an optical element (LD (Laser Diode) and PD (Photo Detector)) 34 composed of InP and InGaAsP are then formed on the exposed surfaces of SiO₂ and InP, yielding an optoelectronic element 35 (Fig. 8(A)).

[0035] In this case, selectivity is ensured by SiO₂, and an optoelectronic element 35 can be fabricated only where InP is exposed, as described above. In its thick section, the element has a thickness of about 1 μm .

[0036] An SiO₂ leveling film 27 (second leveling layer) is subsequently layered in a thickness of about 2 μm for leveling purposes (Fig. 8(B)). The SiO₂ leveling film 27 is then polished by chemical polishing and leveled off to a thickness of 3.3 μm from the Si surface (Fig. 9(A)). The resulting surface smoothness is 50 Å or less (in terms of irregularities).

[0037] Wiring holes are then formed in the electrode areas of an InP optoelectronic element 36 and Si LSI 13. The material is uniformly coated with a photoresist and exposed through a mask. The SiO₂ leveling film 27 is selectively etched by RIE according to a common photolithographic technique. Because the SiO₂ leveling film 27 has a flat surface (< 50 Å), good photolithographic sharpness can be achieved, and the holes 15 can be made as narrow as is allowed by the limit imposed by the photolithographic device (the line width accuracy achieved using the device and process described herein is 0.1 μm) (Fig. 9(B)).

[0038] Wiring metal is then deposited by CVD. In this case connections can be formed without causing wire breakage or disturbing the perforated (pinhole) area of SiO₂ in any

way. The desired wiring 16 can again be formed by photolithography below the surface (Fig. 10).

[0039] Because the present working example involves boring the growth region of the InP layer 32 and forming a recess 32 [sic] in advance, the resulting InP layer 32 can be made thicker in proportion to the size of the bore (8 μm), with the structure on the Si surface having the same thickness as in Working Example 1. When made into a Group III-V/Si structure, InP is less prone to cracking than GaAs is, even when the structure is comparatively thick (see conventional techniques). A thickness of about 10 μm is therefore advantageous for quality improvement.

[0040] Although Working Examples 1 and 2 were described with reference to cases in which SiO_2 was used for the leveling film, the same results can be obtained using SiN_x , Si_3N_4 or polyimide. Any material can be used for a leveling film in this manner as long as this material can be leveled by chemical polishing and has no effect on the elements, wiring or the like. Similarly, any of a multitude of methods (spin-on glass, CVD, sputter film forming, coating and the like) can be used to fabricate such leveling films.

[0041] (Working Example 3) Following is a description of a case in which a polishing-inhibiting layer is introduced during chemical polishing.

[0042] Most of the steps are the same as in Working Example 1. The following steps are different, however.

[0043] A GaAs layer 22 is selectively grown solely on the surface of the Si substrate 11 in Fig. 2(B) in the same manner as in Working Example 1.

[0044] An Si_3N_4 film 41, whose polishing rate is lower than that of the SiO_2 film 21, is subsequently stacked as a polishing-inhibiting layer in a thickness of $2.95\ \mu\text{m} \pm 0.05\ \mu\text{m}$ (Fig. 11(A)).

[0045] The Si_3N_4 film 41 is then selectively etched across the flat portion (Fig. 11(B)). The SiO_2 leveling film 23 is then layered as a first leveling film in a thickness of $5\ \mu\text{m}$ (Fig. 12(A)).

[0046] The SiO_2 leveling film 23 is then polished by chemical polishing. The object is to reach a thickness of $4.3\ \mu\text{m}$ at the end of polishing in the same manner as in Working Example 1, but the material may be overpolished by about $0.1\ \mu\text{m}$. However, polishing stops at the Si_3N_4 film 41 because the polishing rate of Si_3N_4 is lower than that of SiO_2 (Fig. 12(B)).

[0047] This is because the end of polishing according to Working Example 1 is determined by the parallelism between the Si substrate 11 and the polishing cloth, and the remaining SiO_2 film distribution is determined by the positional accuracy thereof. In other words, a certain accuracy is required. By contrast, the present working example does not require high parallelism accuracy because the end of polishing is determined by the polishing inhibitor (Si_3N_4). As a result, an inexpensive polishing machine can be used. The resulting feature is that highly reproducible polished surfaces can be obtained without the use of special techniques. Employing the same polishing-inhibiting technique and performing the same operations dispenses with the need for high parallelism accuracy

when a second leveling layer is formed to complete the leveling structure according to the steps shown in Figs 4(B) to 5(A).

[0048] (Working Example 4) Working Example 4 will now be described with reference to a case in which a material is selectively grown on part of a substrate, and the selective growth surface is leveled out.

[0049] Although the growth conditions selected for Working Examples 1–3 are acceptable, growing compound semiconductors under certain conditions or by certain methods may sometimes make it impossible to achieve selective growth.

[0050] In these examples, polycrystalline growth is adopted for edge growth and selective masking.

[0051] Edge growth is a phenomenon in which the material near a selective growth mask grows faster than the target growth rate during selective growth. This is attributed to the fact that the starting material being grown on an ungrown selection mask is carried to the selective growth region by vapor-phase diffusion or growth-plane migration, increasing the height of the GaAs region near the selective growth mask used in the selective growth process.

[0052] Although the growth of polycrystals or the like on a selection mask is inherently impossible, compound semiconductors can still be deposited on the starting material under certain growth conditions (for example, when growth supersaturation is too high). The resulting deposit assumes the form of surface irregularities and impedes subsequent steps in a variety of ways.

[0053] The portion of the Si surface for growing InP is exposed in the same manner as in Working Example 2, and the portion where no growth is intended is used for selectively growing the SiO₂ film 21 (Fig. 13(A)). In the present working example, higher supersaturation is established in order to reduce the growth time, that is to ensure faster growth and to achieve a higher throughput.

[0054] For this reason, (1) the InP layer 32 is grown (edge growth) 32a near the selectively grown SiO₂ film in the InP growth area to a thickness greater than the target thickness of the grown film, and (2) crystals 32b are grown on the selectively grown film (Fig. 13(B)).

[0055] Such phenomena may hinder subsequent steps. In the present working example, an SiO₂ leveling film 23 is layered under these conditions as a leveling film in the same manner (Fig. 14(A)). The material is subsequently leveled by chemical polishing (Fig. 14(B)).

[0056] As a result, the surface is leveled despite the formation of the edge growth 32a and polycrystals 32b on the selectively grown film (Fig. 14(B)).

[0057] A flat InP surface is formed in the InP selective growth region despite the presence of the edge growth 32a.

[0058] The polycrystals 32b remain in the flattened material (in this case, SiO₂) but surface leveling is still possible.

[0059] (Working Example 5) Working Example 5 will now be described with reference to a case in which an optical waveguide is integrated in addition to an optoelectronic combination. The following steps are performed following the wiring step of Working Example 2 shown in Fig. 10 (Fig. 15(A)).

[0060] After the wiring step has been performed according to Working Example 2, a highly refractive optical waveguide 51 is formed on the surface between the light-emitting and light-receiving elements (in this case, light enters and exits in the surface direction of the device) (Fig. 15(B)). Here, light from the light-emitting and light-receiving elements 12 is completely reflected by the slanted waveguide 51, and light entering the optical waveguide 51 in the transverse direction changes its direction in a highly efficient manner, as shown in Fig. 16. At this stage, optical wiring and electrical wiring are completed, and the goal is achieved.

[0061] In the present working example, two optical wirings are further superposed on each other. A leveling member 52 whose thickness is greater than the difference in grade created by the wiring is superposed and leveled by chemical polishing (Fig. 17(A)).

[0062] Optical wiring in the form of optical waveguides is then formed between the desired light-emitting and light-receiving elements by CVD, photoetching or the like (Fig. 17(B)). Although the two optical wirings superposed herein (see the plan view in Fig. 18) are a first-layer optical waveguide 51A in the transverse direction (Fig. 17(B)) and a second-layer optical waveguide 51B in the plane of the drawing (Fig. 17(B)), it is apparent that these wirings can be combined in any other appropriate manner. In addition,

electrical wiring can be concurrently performed during the formation of the second layer of optical wiring.

[0063] Compared with other elements, the light-emitting and light-receiving elements based on a compound semiconductor and obtained in accordance with the present working example are disposed higher (because the optical waveguides and the light-emitting and light-receiving elements are positioned closer to each other), suffer only slight optical leakage, and have better optical coupling (optical wiring). (The fact that the Group III-V crystals are shaped as a thick film is beneficial for the purposes of the present working example.)

[0064] The present working example yields a flat surface (50 Å or less) and makes it possible to obtain optical waveguides with minimal loss or outside leakage (which is related to crosstalk).

[0065] The same dynamic characteristics can be obtained by reversing the electrical wiring step and the optical wiring step, and forming electrical wiring after the formation of optical wiring.

[0066] According to the present working example, the direction of light emission and reception coincides with that of planar emission, and the optical wiring is directed transversely. Light is converted from transverse to longitudinal/diagonal by means of a slanted total reflection surface.

[0067] A grating method can also be used to convert planar light to a transverse direction. In a transversely oriented, cavity-forming LD or light-emitting element, the first

and second optical wirings are coupled by (1) slanted total reflection, (2) a grating, (3) interference between waveguides, and the like, but the resulting characteristics are the same as those exhibited by an optical wiring (waveguide) formed on a conventional flat surface. It is apparent that any other existing waveguide technique can also be used.

[0068] (Working Example 6) Described below are characteristics of a composite semiconductor circuit device fabricated by the above-described method.

[0069] Forming electrical wiring on a flat surface dispenses with the need for the stepped wiring required by conventional methods. When wires are laid over a stepped portion in accordance with prior art, the wiring in this portion becomes thinner, the wires break during the operation of the circuit device, and other reliability problems occur. The present circuit device is created by laying wires solely over flat portions, and is therefore devoid of the unacceptable deterioration in quality brought about by the difference in grade. The reliability (determined based on wiring durability tests) of the circuit device is comparable to that of a wiring formed on a conventional level portion, and much better results are obtained.

[0070] Conversely, a conventional technique requires that a wiring be made wider or thicker in order to ensure the desired reliability. In other words, the wiring width is determined by the stepped portion rather than the level portion. For this reason, a wire width of no more than 0.5 μm can be achieved by a conventional technique in an attempt to secure the desired reliability in stepped portion, whereas the apparatus for fabricating semiconductor circuit devices according to the present working example can, for example, achieve a line width accuracy of 0.1 μm in a leveled portion. The present working

example is different in that accuracy and yield remain unaffected even when the device is rated at $0.1\text{ }\mu\text{m}$. Consequently, the composite semiconductor circuit device of the present invention has a higher degree of integration than a conventional device.

[0071] The optical wiring has the same characteristics as the above-described electrical wiring. The optical wiring can be endowed with the below-described characteristics, yielding a composite semiconductor circuit unattainable with a conventional method.

[0072] In a conventional optical wiring on a stepped portion, the wiring varies in the vertical direction in accordance with the difference in grade despite having a laterally oriented configuration. Although it is assumed that light is confined inside a waveguide, the difference in grade creates light scattering, leakage from the waveguide, and other phenomena, so light traveling through the optical wiring is lost, interwiring crosstalk is caused by light leakage, and single-mode propagation is disrupted. As a result, light can no longer propagate over long distances through thin optical wiring. For example, the loss is about 3 dB when the difference in grade is $3\text{ }\mu\text{m}$. A distinctive feature of the present invention is that all these shortcomings are overcome.

[0073] In addition, the propagation characteristics of an optical wiring are greatly affected by the flatness of waveguide borders. The presence of irregularities on waveguide borders creates light scattering, increases propagation loss, and causes light to be emitted outside, compromising waveguide characteristics. In conventional practice, good photolithographic sharpness cannot be obtained because of the relation with the depth of focus of the photolithographic process during the fabrication of waveguides over a stepped portion. For this reason, an increased difference in grade produces irregularities

on the borders (outer walls) of a waveguide. 1- μm irregularities form when the difference in grade is 3 μm . The 1- μm irregularities make it impossible for 1.5- μm light to propagate as a single mode. The present working example, on the other hand, makes it possible to reduce the size of border irregularities to 0.03 μm or less, markedly improving propagation efficiency and allowing light traveling through a chip (about 4 mm) to have a loss of only 1 dB or less.

[0074] Thus, the composite semiconductor device of the present invention is characterized in that the border flatness (linearity) of optical waveguides is improved both vertically and transversely (in the direction of border irregularities), producing optical wiring characteristics unattainable with conventional techniques.

[0075] The presence of a thick semiconductor portion endows the Group III-V compound semiconductor with better crystallinity. If an attempt is made to manufacture a Group III-V semiconductor element by a conventional method and still achieve the same crystallinity as in the present working example (that is to secure the same element characteristics), the upper surface of the Group III-V semiconductor element would need to be disposed above the upper surface of the Si-LSI. A drawback to this approach is that optical and electric lines become longer in the transverse direction. In the circuit device of the present invention, the upper surfaces of the Group III-V circuit device and Si circuit device have the same height, and the wiring is made shorter in the transverse direction. A distinctive feature of this arrangement is that shorter lines are used and that the electric and optical lines transmit signals with higher efficiency.

[0076]

[Merits of the Invention] The present invention allows III-V heteroepitaxial growth, III-V element formation (growth), photolithography, wiring and the like to be performed on flat surfaces, making it possible to prevent stepped wiring breakage, reduced steepness resulting from variations in the depth of focus during photolithography, and other defects caused by irregularities. Higher integration can therefore be achieved. As a result, faster response can be provided. In addition, optical waveguides, which have so far been considered impossible to obtain using conventional techniques because of increased loss, can now be fabricated following optical element formation.

[Brief Description of the Figures]

[Figure 1] A schematic of the composite semiconductor circuit device pertaining to a first working example.

[Figure 2] A process diagram of the first working example.

[Figure 3] A process diagram of the first working example.

[Figure 4] A process diagram of the first working example.

[Figure 5] A process diagram of the first working example.

[Figure 6] A process diagram of a second working example.

[Figure 7] A process diagram of the second working example.

[Figure 8] A process diagram of the second working example.

[Figure 9] A process diagram of the second working example.

[Figure 10] A process diagram of the second working example.

[Figure 11] A process diagram of a third working example.

[Figure 12] A process diagram of the third working example.

[Figure 13] A process diagram of a fourth working example.

[Figure 14] A process diagram of the fourth working example.

[Figure 15] A process diagram of a fifth working example.

[Figure 16] An optical line diagram based on total inclined reflection.

[Figure 17] A process diagram of a fifth working example.

[Figure 18] A plan view of an optical wiring (double) and electrical wiring.

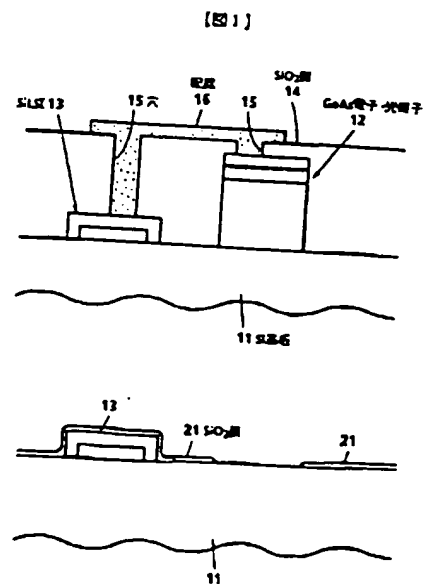
[Figure 19] A diagram of a conventional composite semiconductor circuit device.

[Key]

11: Si substrate; 12: GaAs optoelectronic element; 13: Si LSI; 14: SiO₂ film;
15: hole; 16: wiring; 21: SiO₂ film; 22: GaAs layer; 23, 27: SiO₂ leveling films;
24, 33: electronic elements; 25, 34: optical elements; 26, 35: optoelectronic elements;
31: recess; 32: InP layer; 32a: edge growth; 32b: crystal; 36: InP optoelectronic element;
41: Si₃N₄ film; 51: optical waveguide

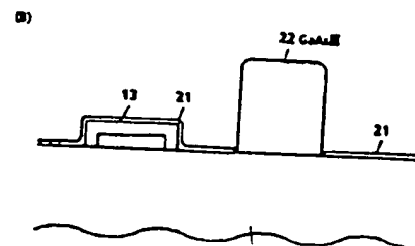
[Figure 1]

- 11 Si substrate
- 12 GaAs optoelectronic element
- 14 SiO₂ film
- 15 hole
- 16 wiring



[Figure 2]

- 21 SiO₂ film



22 GaAs layer

[Figure 3]

22 SiO₂ leveling film

[Figure 4]

24 electronic element

25 optical element

26 optoelectronic element

27 SiO₂ leveling film

[Figure 5]

[Figure 6]

31 recess

32 InP layer

[Figure 7]

[Figure 8]

[Figure 9]

[Figure 10]

[Figure 11]

41 Si_3N_4 film

[Figure 12]

[Figure 13]

[Figure 14]

[Figure 15]

[Figure 16]

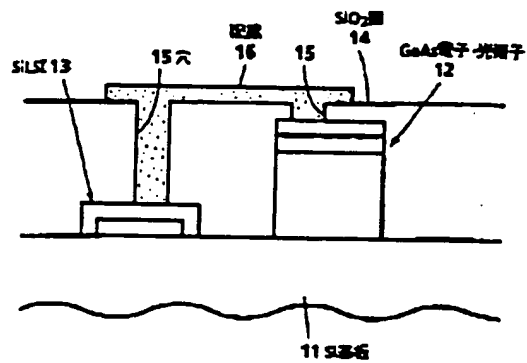
[Figure 17]

[Figure 18]

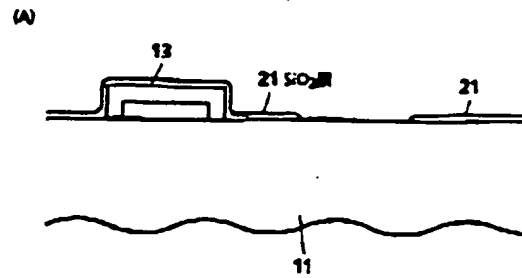
[Figure 19]

(Continued from front page)

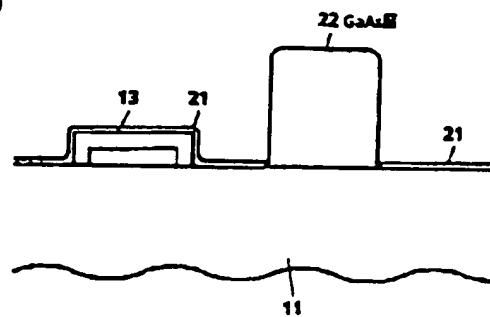
【図1】



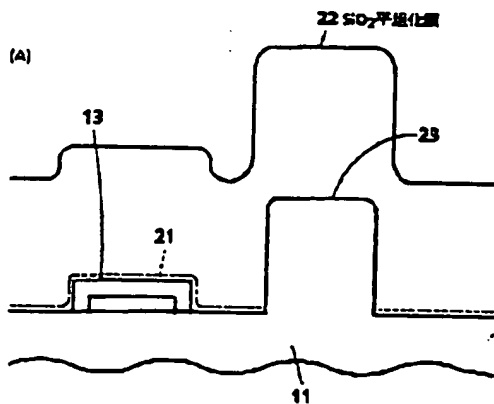
【図2】



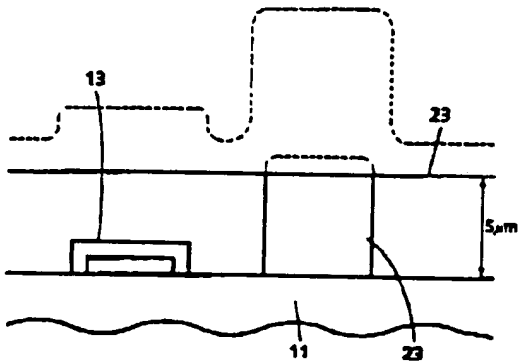
(B)



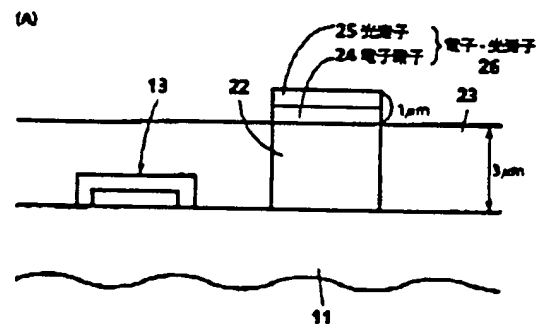
【図3】



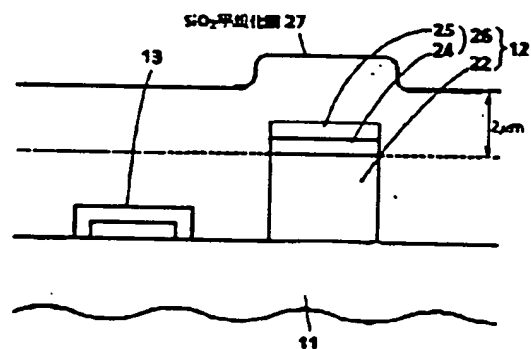
(B)



【図4】



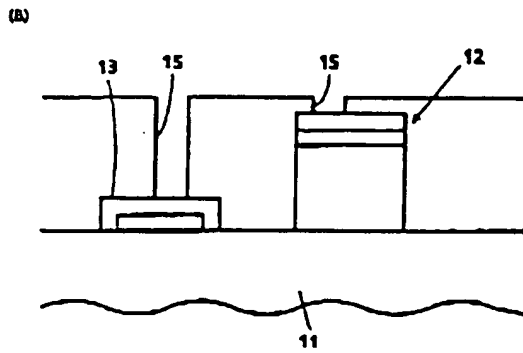
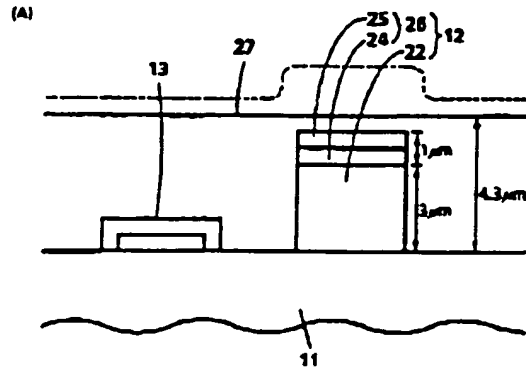
(B)



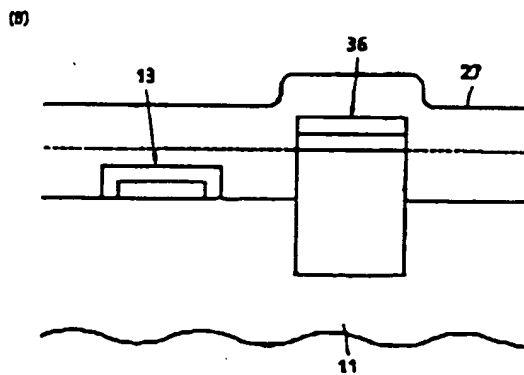
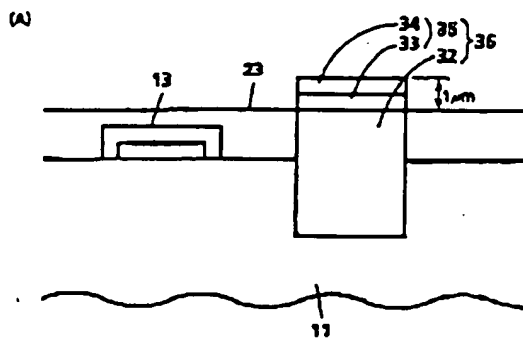
(9)

特開平6-232126

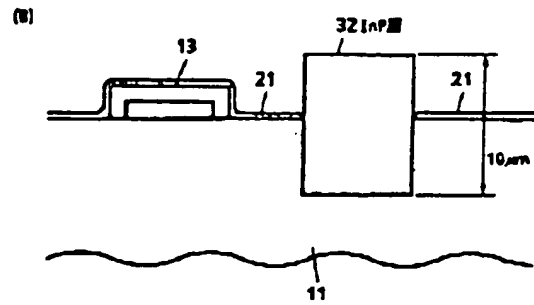
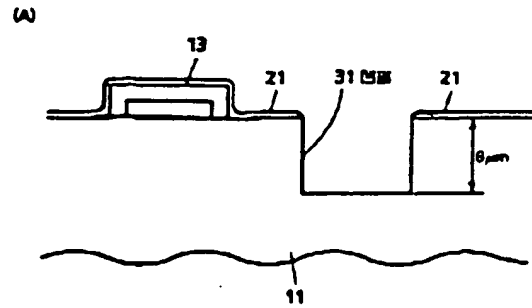
【図5】



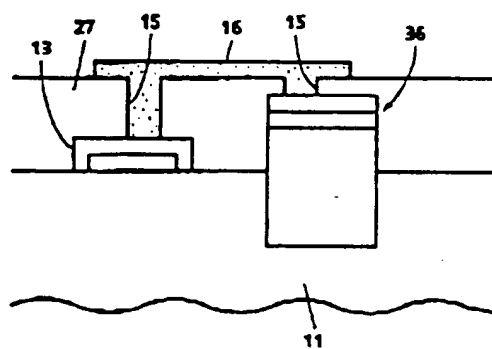
【図8】



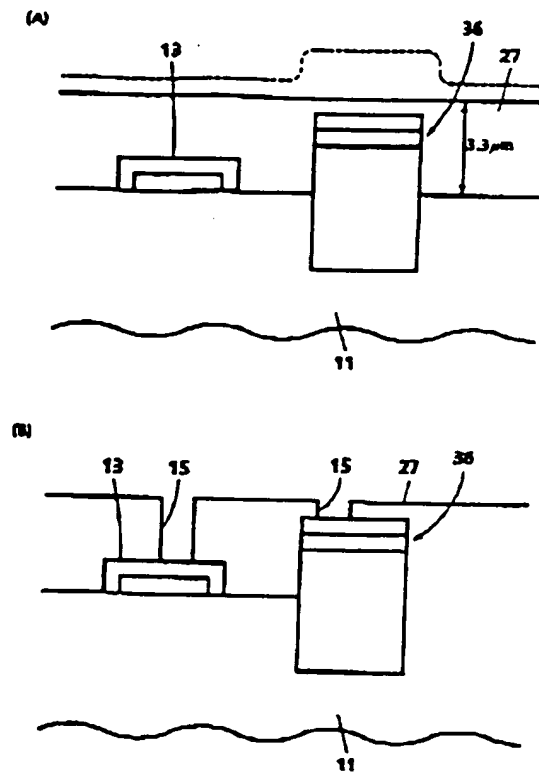
【図6】



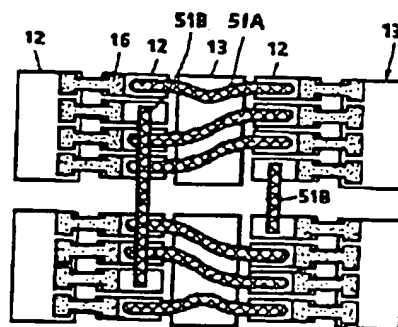
【図10】



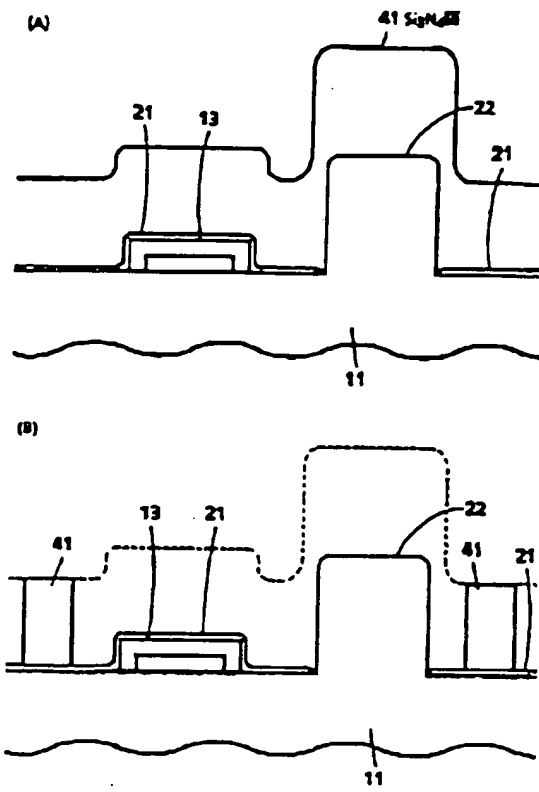
【圖9】



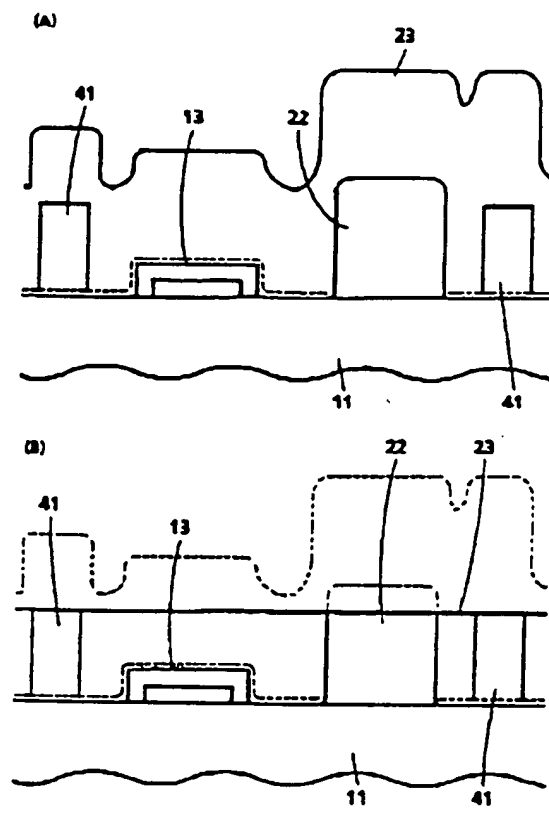
【圖 18】



【図11】



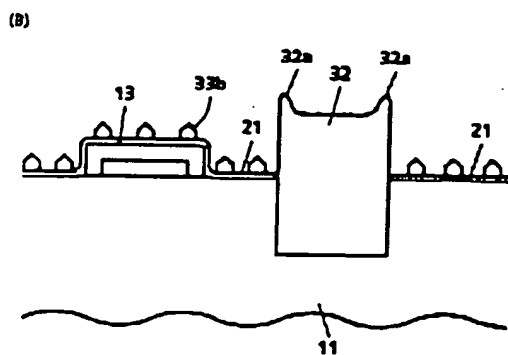
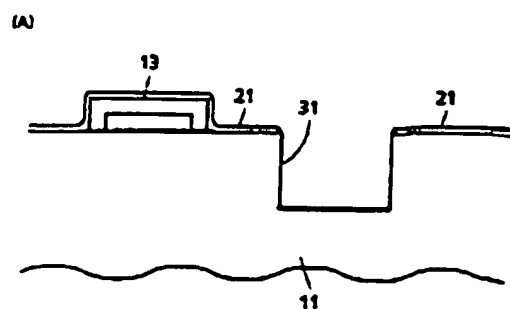
【図12】



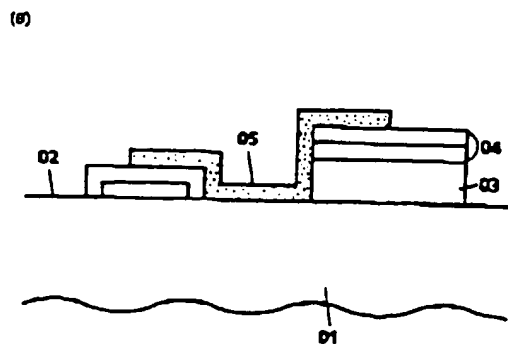
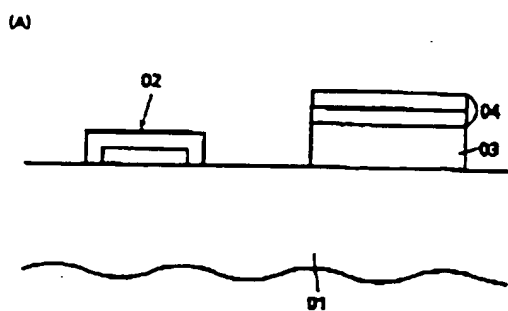
(12)

特開平6-232126

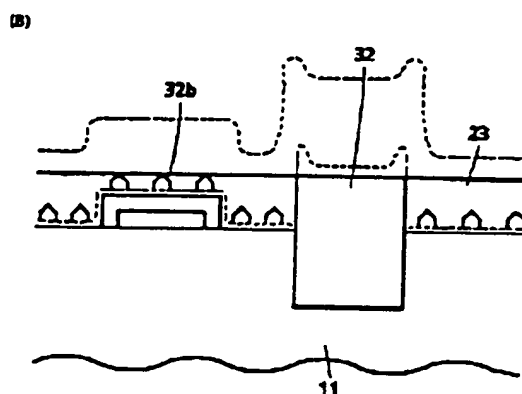
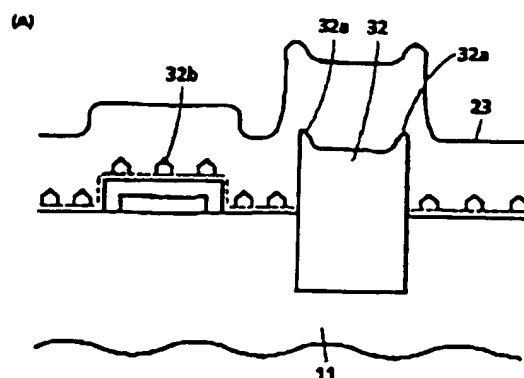
【図13】



【図19】



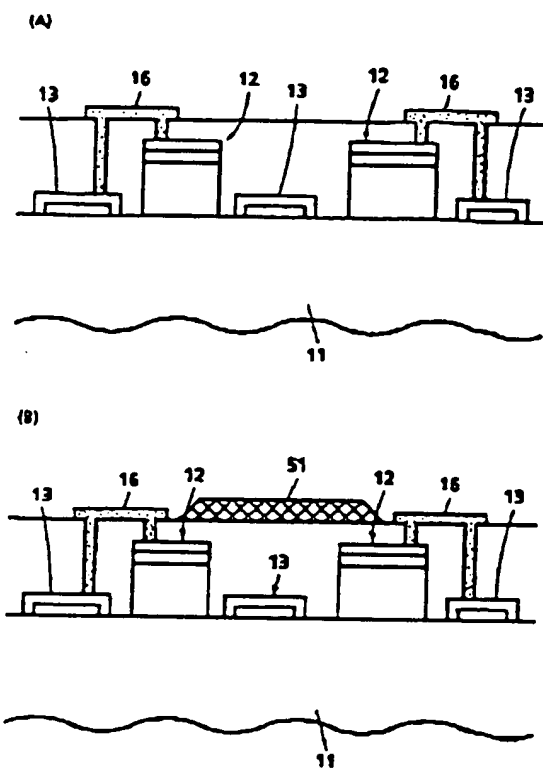
【図14】



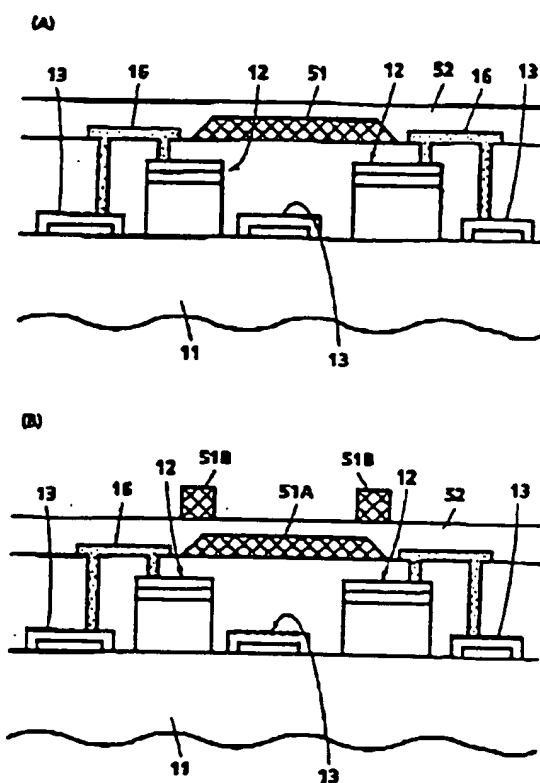
(19)

特開平6-232126

【図15】



【図17】



フロントページの続き

(72)発明者 須郷 満
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 佐々木 徹
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 小井 二三彦
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72) Inventor: Mitsuru Sugo (c/o Nippon Telegraph & Telephone Corporation;
1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(72) Inventor: Toru Sasaki (c/o Nippon Telegraph & Telephone Corporation;
1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(72) Inventor: Fumihiko Kobayashi (c/o Nippon Telegraph & Telephone Corporation;
1-6 Uchisaiwai-cho 1-chome, Chiyoda-ku, Tokyo)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-232126

(43) 公開日 平成6年(1994)8月19日

| (51) IntCl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|------|---------|----------------|--------|
| H 0 1 L 21/3205 | | | | |
| 33/00 | A | 7376-4M | | |
| | M | 7376-4M | | |
| | | 7514-4M | | |
| | | | H 0 1 L 21/ 88 | K |

審査請求 未請求 請求項の数7 O L (全 13 頁)

(21) 出願番号 特願平5-16153

(22) 出願日 平成5年(1993)2月3日

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72) 発明者 太刀川 正美

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 森 英史

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(72) 発明者 伊藤 義夫

東京都千代田区内幸町一丁目1番6号 日

本電信電話株式会社内

(74) 代理人 弁理士 光石 俊郎 (外1名)

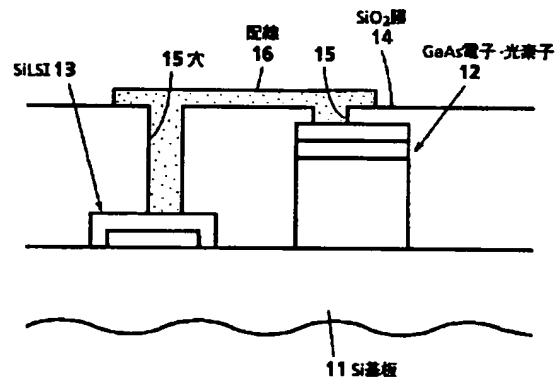
最終頁に続く

(54) 【発明の名称】 複合半導体回路装置およびその作製方法

(57) 【要約】

【目的】 S i 電子回路素子と第III 族-第V族光・電子回路素子、および光配線（導波路）を同一基板上に作製する複合半導体回路装置およびその作製方法を提供する。

【構成】 S i 基板11上に並んで形成してなるIII 族-V族電子・光素子12とS i L S i 13とを有すると共に、これらを覆う平坦化層としてのS i O₂ 14の平坦面から各々鉛直方向に形成された配線用穴15内に配線材料を埋め込み配線16を施してなる。



【特許請求の範囲】

【請求項1】 Si基板上に並んで形成された、III族-V族電子・光子素子とSILSIとを有し、前記III族-V族電子・光子素子と、Si素子間とが配線された基板において、横方向の前記配線が平坦に形成されていることを特徴とする複合半導体回路装置。

【請求項2】 請求項1において、III族-V族素子がSILSIに比べ、上面は同等の位置にあるが、下面は下方より形成され、III族-V族素子の厚みが厚くなっていることを特徴とする複合半導体回路装置。

【請求項3】 Si基板上に並んで形成された、III族-V族電子・光子素子とSILSIとを有し、前記III族-V族素子とSi素子間とが電気・光配線された基板において、横方向の前記電気・光配線が平坦に形成されていることを特徴とする複合半導体回路装置。

【請求項4】 Si基板上に化合物半導体をヘテロエピタキシャル成長した複合半導体基板上に、電気および光子素子を形成する工程において、

(1) Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる工程と、

(2) 表面全体に互って平坦化材料からなる第一の平坦化膜層で表面凹凸より厚く覆う工程と、

(3) 上記第一の平坦化膜層の表面を研磨により平坦化する工程と、

(4) 平坦化された、選択成長した半導体の上に所望の素子構造を成長させる工程と、

(5) 表面全体に互って平坦化材料からなる第二の平坦化膜層で表面凹凸より厚く覆う工程と、

(6) 上記第二の平坦化膜層の表面を研磨により平坦化する工程と、

(7) 平坦化した平坦化材料の一部に、下地Si基板あるいは選択成長した半導体基板あるいはそれらに形成された電極まで穴を開ける工程と、

(8) その穴に配線材料を堆積させ、表面で配線する工程を含む、ことを特徴とする複合半導体回路装置の作製方法。

【請求項5】 請求項4において、上記Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる際に、あらかじめ化合物半導体を成長させる部分のSi表面を掘り込んでおき、続く、表面平坦化工程後においても、III族-V族半導体膜厚を厚く形成することを特徴とする複合半導体回路装置の作製方法。

【請求項6】 請求項4又は5において、平坦化材料を研磨する際に、研磨を停止させる、研磨速度の遅い材料を、所望の厚さの箇所に配設することを特徴とする複合半導体回路装置の作製方法。

【請求項7】 請求項4において、平坦化膜層の表面に配線を形成した該平坦表面で第1層の光配線を形成した後、平坦化材料からなる第三の平坦化膜層で表面凹凸より厚く覆った後表面研磨により平坦化し、次いで、前記

第1層の光配線と略直交する第2層の光配線を形成することを特徴とする複合半導体回路装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えばGaAs/Si等に代表される複合半導体基板において、Si電子回路素子と第III族-第V族（以下「III族-V族」と称す）光・電子回路素子、および光配線（導波路）を同一基板上に作製する複合半導体回路装置およびその作製方法に関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】 III族-V族/Siにおいては、III族-V族デバイスを作製して、そのまま配線工程を行っていた。

【0003】 従来の複合半導体回路装置の製造の概略を図19に示す。同図において、01はSi基板、02はSILSI、03は高品質化層、04は素子層を各々図示する。従来において配線を行う場合、SILSI02と素子層04とを単に配線材料を載せて配線05をしていた。

【0004】 ところで、図19に示すように、SILSI02と素子層04とは段差があり、この段差は、フォト工程の多重化に従って大きくなる。特にIII族-V族/Siにおいては、III族-V族結晶の高品質化層に数μmに及ぶ膜を積層する必要があり、段差の問題は特に大きい。また、この表面段差があると、その配線は難しいものがあつた。1つは段差による配線切れ。また1つは段差によるフォト工程の焦点深度による、リソの切れの悪さがあつた。これらの要因により、III族-V族/Si複合半導体回路装置は、集積度の低いものしかできなかった。

【0005】 他方、光の発光素子-受光素子間を光配線する必要性が求められている。その1つの方法として、光導波路を用いる方法がある。光導波路は、一般に、光を通る部分（コア）と光がコアから逃げない様にする屈折率の異なる部分（クラッド）（空気の場合もある）からなる。コアに入った光は外に洩れることなく（換言すると低損失で）所望の所に光を送る技術である。

【0006】 しかしながら、光導波路は急激に光を曲げることが難しく、電気の導線とは異なっている。そのため、例えば、上記III族-V族/Si複合半導体回路装置上に光導波路を形成した場合、表面凹凸が大きく、損失の原因となるため、実現されることはなかった。

【0007】 本発明は上記問題に鑑み、厚膜形成が必要なIII族-V族/Siにおいても、フォト工程、配線工程が平坦な表面上で行われることを可能とし、それにより、配線の段差切れ、フォト精度の向上、ひいては集積度を向上させ、またこれらを形成した上に低損失の光導波路を実現させる光・電子複合半導体装置およびその作製方法を提供することを目的とする。

【0008】

【課題を解決するための手段】前記目的を達成する本発明に係る複合半導体回路装置の構成は、Si基板上に並んで形成された、III族-V族電子・光素子とSiLSIとを有し、前記III族-V族電子・光素子とSi素子間とが配線された基板において、横方向の前記配線が平坦に形成されていることを特徴とする。

【0009】前記構成において、III族-V族素子がSi-LSIに比べ、上面は同等の位置にあるが、下面は下方より形成され、III族-V族素子の厚みが厚くなっていることを特徴とする。

【0010】また、他の複合半導体回路装置の構成はSi基板上に並んで形成された、III族-V族電子・光素子とSiLSIとを有し、前記III族-V族素子とSi素子間とが電気・光配線された基板において、横方向の前記電気・光配線が平坦に形成されていることを特徴とする。

【0011】一方の本発明に係る複合半導体回路装置の作製方法はSi基板上に化合物半導体をヘテロエピタキシャル成長した複合半導体基板上に、電気および光素子を形成する工程において、(1) Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる工程と、(2) 表面全体に互って平坦化材料からなる第一の平坦化膜層で表面凹凸より厚く覆う工程と、(3) 上記第一の平坦化膜層の表面を研磨により平坦化する工程と、(4) 平坦化された、選択成長した半導体の上に所望の素子構造を成長させる工程と、(5) 表面全体に互って平坦化材料からなる第二の平坦化膜層で表面凹凸より厚く覆う工程と、(6) 上記第二の平坦化膜層の表面を研磨により平坦化する工程と、(7) 平坦化した平坦化材料の一部に、下地Si基板あるいは選択成長した半導体基板あるいはそれらに形成された電極まで穴を開ける工程と、(8) その穴に配線材料を堆積させ、表面で配線する工程とを含む、ことを特徴とする。

【0012】上記構成において、上記Si基板の一部に選択的に化合物半導体をヘテロエピタキシャル成長させる際に、あらかじめ化合物半導体を成長させる部分のSi表面を掘り込んでおき、続く、表面平坦化工程後においても、III族-V族半導体膜厚を厚く形成することを特徴とする。

【0013】上記構成において、平坦化材料を研磨する際に、研磨を停止させる、研磨速度の遅い材料を、所望の厚さの箇所に配設することを特徴とする。

【0014】上記構成において、平坦化膜層の表面に配線を形成した該平坦表面で第1層の光配線を形成した後、平坦化材料からなる第三の平坦化膜層で表面凹凸より厚く覆った後表面研磨により平坦化し、次いで、前記第1層の光配線と略直交する第2層の光配線を形成することを特徴とする。

【0015】すなわち、本発明は、(1) 平坦化物を厚

く積んで、平坦化に実績のある研磨により平坦化して、次の工程に進む方法を採用すると共に、(2) III族-V族をヘテロエピさせる前に、III族-V族成長させる部分を掘り込んでおいて、上記方法による平坦化凹凸を少しでも少なくすること、(3) 平坦化材の研磨をセルフアライン(縦方向)的に自動的に停止させるマーカを入れて、研磨に要求される条件を緩くし、再現性向上が得られること、(4) 上記で平坦化されているので、従来の光導波路技術(含むフォトリソ工程)を光・電子回路(半導体)を集積した後で作製することが、可能となり、電子配線と光配線を組み合わせることが可能となる。換言すると、これまでのSiLSI、III族-V族光電子技術を損うことなく、いわゆるボード内、チップ内光インタコネクションを、実現させようとするものである。

【0016】

【実施例】以下、本発明に係る一実施例を図面を参照して説明する。

(実施例1) 図1は本実施例に係る複合半導体回路装置の概略図である。同図に示すように本装置は、Si基板11上に並んで形成してなるIII族-V族電子・光素子12とSiLSI13とを有すると共に、これらを覆う平坦化層14の平坦面から各々鉛直方向に形成された配線用穴15内に配線材料を埋め込み配線16を施してなるものである。

【0017】図2にGaAs/Siを例に、第1の実施例を説明する。Si基板11上にSiLSI12を作製する。一部の領域をGaAs領域として、なにも形成されていないSi表面が露出している。この基板上にGaAsを選択成長する工程を行う。まず、SiO₂膜21をCVD法により積層する。そして、フォトリソ工程により、GaAsを成長すべき部分のSiO₂膜21をエッチングし、Si基板11を露出させる(図2(A))。

【0018】GaAsは気相成長法により成長させる工程であるが、SiO₂膜21上には成長せず、Si表面のみに選択的にエピタキシャル成長させることが可能である。この様にしてGaAs層22を約4μm選択成長させた(図2(B))。

【0019】続いて、第一の平坦化膜層としてのSiO₂平坦化膜23をCVD法により、約5μm積層させた(図3(A))。この膜厚は、Si表面から見て、最も厚いGaAs表面(4μm)に比較して、1μm厚く設定させてある。その後、化学機械研磨により、SiO₂平坦化膜23をSi表面から3μmの厚みになるまで、GaAs層22と共に研磨平坦化させた(図3(B))。

【0020】この結果、表面平坦性は、凹凸にして50Å以下となった。SiO₂平坦化膜23の平坦化と同時に、GaAs層22表面もSiO₂表面と同じ高さまで

研磨された。これは、GaAs層22の研磨速度がSiO₂に比較して、速いため、SiO₂：平坦化を行うと自動的にGaAs表面もSiO₂：表面と同じ面で平坦化されるという特徴を有している。

【0021】続いて、SiO₂：平坦化膜23とGaAs層22とが露出している表面にGaAs、AlGaAsからなる電子素子（本実施例ではHBT (hetero BiPolar Transistor) 24と、HEMT (High Electron Mobility Transistor)およびFET）とGaAs、AlGaAsからなる光素子（LD (Laser Diode)とPD (Photo Detector)）25とを作製した（図4（A））。ここでは、図2（B）の工程で示した様に、SiO₂：膜により選択成長が行われ、GaAs層22の表面が露出している部分のみに、電子・光素子26を作製することができ、GaAs電子・光素子12を形成した。素子膜厚は厚い所で、約1μmであった。

【0022】続いて、平坦化のために、第二の平坦化膜層としてのSiO₂：平坦化膜27を約2μm積層した（図4（B））。その後、化学機械研磨により、SiO₂：平坦化膜27をSi基板11の表面から4.3μmの厚みになるまで、研磨平坦化させた（図5（A））。表面平坦性は、凹凸にして50Å以下となった。

【0023】次にSiLSI13、GaAs電子・光素子12の電極部分に、配線用の穴開けを行う。フォトリソを均一にぬり、マスクで露光し、RIEでSiO₂：平坦化膜27を選択的にエッチングするという通常のフォト工程を行った。ここで、SiO₂：平坦化膜27表面が平坦（＜50Å）であるため、フォトの切れが良く、フォト装置の限界（本装置、本工程では0.1μmの線幅精度）まで、細い穴15を開けることができた（図5（B））。原理的には、装置の精度が向上すれば線幅50Å程度まで可能と考えられる。

【0024】その後、CVD法により配線金属を付着させ、配線16を施した。ここでは、SiO₂：の穴開け（ピンホール）部に乱れなく、断線せずに接続される。ふたたび、表面からフォト工程により望みの配線16を施すことができた（図1）。

【0025】尚、ここでは、省略したが、本配線後、図5（A）、図5（B）、図1に示す各工程を繰返すことにより、配線16を多層化することも可能である。実際に3重の配線を行ったが、配線の精度その他にはなんら変化無く、多層化することが可能であった。

【0026】（実施例2）図2にInP/Siを例に、第2の実施例を説明する。Si基板上に配線工程を残した、SiLSIを作製する。この基板上にInPを選択成長する工程を行う。本実施例では、InP層の選択成長すべき領域として、あらかじめ8μmの凹部31をSi基板11に掘りこんでおいた。

【0027】まず、SiO₂：膜21をCVD法により積層する。そして、フォトリソ工程により、InPを成長

すべき部分のSiO₂：膜21をエッチングし、Si基板11を露出させる（図6（A））。

【0028】実施例1では、InPを成長させるSi表面は、他のSi表面と同一であったが、本実施例2では、InP成長部分は、上述したように凹部31としている。

【0029】この凹部分の作製方法としては、2通の方法を行った。

【0030】その1つは、実施例1における図2（A）の工程の後に凹部31を形成する方法である。図2（A）の工程で、SiO₂：膜21をエッチングし、更にSi基板もエッチングし、図6（A）に示す様に、Si表面から、約8μmの凹部31になるようにした。このSi基板11のエッチングとして本実施例では、SiO₂：膜21をエッチングするフォトリソをそのまま残しておき、RIE（リアクティブイオンエッチング）法により、凹部31に形成した。尚、その他のSiドライエッチング技術、ウェットエッチング技術、その他従来から知られている技術、方法を用いることが可能であることはいうまでもない。

【0031】他の1つの方法は、SiLSI13を形成する前に、Si基板11のうち、InPを成長させる領域を上記の方法により凹部31を形成しておく方法である。本実施例では、上記2つの方法両方を用いたが、どちらも同様の効果が得られた。この凹部の形成時期については、SiLSI形成工程との関連において、有利な方を用いることができる。

【0032】InPは気相成長法により成長させる工程であるが、SiO₂：膜21上には成長せず、Si基板11の表面にエピタキシャルに選択的に成長させることが可能である。この様にしてInP層32を約10μm成長させた（図6（B））。

【0033】続いて、第一の平坦化膜としてのSiO₂：平坦化膜23をCVD法により、約3μm積層させた（図7（A））。この膜厚は、Si表面から見て、最も厚いInP表面（2μm）に比較して、1μm厚く設定させてある。その後、化学機械研磨により、SiO₂：平坦化膜23をSi基板11の表面から1μmの厚みになるまで、研磨平坦化させた（図7（B））。

【0034】表面平坦性は、凹凸にして50Å以下となった。SiO₂：平坦化膜23の平坦化と同時に、InP層32表面もSiO₂：表面と同じ高さまで研磨された。これは、InPの研磨速度がSiO₂に比較して、速いため、SiO₂：平坦化を行うと自動的にInP表面もSiO₂：表面と同じ面で平坦化されるという特徴を有している。続いて、SiO₂：とInPが露出している表面にInP、InGaAsPからなる電子素子（本実施例ではHBT (Hetero BiPolar Transistor) 33とHEMT (High Electron Mobility Transistor)およびFET）とInP、InGaAsPからなる光素子（LD (Lase

r Diode)とPD (Photo Detector)) 34を作製し電子・光子35を得た(図8(A))。

【0035】ここでは、先に示した様に、SiO₂により選択性が保たれ、InPが露出している部分のみに、電子・光子35を作製することが可能であった。素子膜厚は厚い所で、約1μmであった。

【0036】続いて、平坦化のために、第二の平坦化膜としてSiO₂平坦化膜27を約2μm積層した(図8(B))。その後、化学機械研磨により、SiO₂平坦化膜27をSi表面から3.3μmの厚みになるまで、研磨平坦化させた(図9(A))。表面平坦性は、凹凸にして50Å以下となった。

【0037】次に、SiLSi13、InP電子・光子36の電極部分に、配線用の穴開けを行う。フォトレジストを均一にぬり、マスクで露光し、RIEでSiO₂平坦化膜27を選択的にエッチングするという通常のフォト工程を行った。ここで、SiO₂平坦化膜27表面が平坦(<50Å)であるため、フォットの切れが良く、フォト装置の限界(本装置、工程では0.1μmの精度)まで、細い穴15を開けることができた(図9(B))。

【0038】その後、CVD法により配線金属を附着させた。ここでは、SiO₂の穴開け(ピンホール)部に乱れなく、断線せずに接続される。ふたたび、表面からフォト工程により望みの配線16を形成することができた(図10)。

【0039】本実施例では、あらかじめInP層32の成長領域を掘り込んで凹32を形成してあるため、Si表面上の構造を実施例1と同じ厚みとしても、出来上がったInP層32の膜厚が、掘り込んだ8μm分だけ厚くすることができる。InPはGaAsと比較して、II族-V族/Siとしては、比較的厚くてもクラックの発生が少ない(従来の技術参照)。従って、高品質化に10μm程度あった方が有利である。

【0040】実施例1、2では、平坦化膜としてSiO₂を用いた例を示したが、その他にSiN_x、Si₃N₄、ポリイミドを同様に実施したが同様の結果が得られた。この様に平坦化膜としては、化学機械研磨により平坦化でき、かつ、各素子、配線等に影響を及ぼさない材料であれば、全て利用できる。また、平坦化膜の作製方法においても同様に多種多用(スピニングラス、CVD、スパッタ成膜、塗布等)の方法を用いることができる。

【0041】(実施例3)次に化学機械研磨の際に、研磨停止層を挿入する場合を説明する。

【0042】ほとんどの工程は、実施例1と同じである。異なる工程を以下に示す。

【0043】実施例1と同様に操作して図2(B)に示すSi基板11の表面のみにGaAs層22を選択成長させた。

【0044】次に、SiO₂膜21に比較して研磨速度の遅いSi₃N₄膜41を、2.95μm±0.05μmで研磨停止層として積層した(図11(A))。

【0045】次に、平坦部において、Si₃N₄膜41を選択的にエッチングする(図11(B))。更に、第一の平坦化膜としてSiO₂平坦化膜23を5μm積層する(図12(A))。

【0046】その後、化学機械研磨により、SiO₂平坦化膜23の研磨を行う。この際研磨終了を実施例1と同じ様に4.3μmを目標にするが、それよりも約0.1μmオーバー研磨を行った。しかしながら、Si₃N₄はSiO₂に比較して研磨速度が遅いため、研磨はSi₃N₄層41の所で停止する(図12(B))。

【0047】これは、実施例1では、研磨停止が、Si基板11と研磨布との平行度で決定され、その位置精度で残されたSiO₂膜分布が決定する。すなわち精度が必要であった。それに比較し、本実施例では、研磨停止が研磨停止剤(Si₃N₄)で決定されるため、平行度の精度は必要ない。その結果、研磨機械が安価で済む。特別の技術が無くとも、再現性に優れた研磨面が得られるという特徴を有する。尚、第二の平坦化膜層を形成して平坦化層を形成する図4(B)～図5(A)に示した工程においても、同様の研磨停止を入れて、同様に操作した結果、平行度の精度が必要なかった。

【0048】(実施例4)次に第4の実施例として、基板の一部に選択成長し、その選択成長表面を平坦化した例を示す。

【0049】実施例1～3では問題に成らない成長条件で行ったが、化合物半導体の成長方法、条件により、選択成長がうまく達成できない場合がある。

【0050】その例として、エッジグロース、選択マスクへの多結晶成長がある。

【0051】エッジグロースとは、選択成長において、選択成長マスク近傍が目的とする成長速度より速くなる現象である。これは、未成長の選択マスク上の成長原料が気相拡散あるいは成長面マイグレーションにより選択成長領域に運ばれ、選択成長の選択成長マスク近傍の成長速度が速まるものと理解されている。

【0052】選択マスクへの多結晶等の成長とは、本来、選択マスクにはなにも成長しないはずであるが、成長条件によっては、(例えば、成長の加飽和度が高すぎる場合など)選択マスク上にも化合物半導体が析出する。この析出物も表面凹凸として、後工程に各種の障害を与える。

【0053】実施例2と同様に操作して、InPを成長すべき所のSi表面を露出させ、成長させたくない所は、SiO₂膜21を選択成長膜とした(図13(A))。本実施例では、成長時間を短縮させるためすなわち、成長時間を短くして、スループットを上げる目的のために加飽和度を上げた。

【0054】そのため、①InP成長領域においては、目的とするInP層32の成長膜厚以上がSiO₂選択成長膜近傍で成長（エッジグロス）32aした、②選択成長膜上にも、結晶32bが成長した（図13（B））。

【0055】これらは、次の工程において問題となる。本実施例では、この状態において、同様に平坦化膜としてのSiO₂平坦化膜23を積層した（図14（A））。その後、化学機械研磨により平坦化を行った（図14（B））。

【0056】その結果、エッジグロス32a、多結晶32bの選択成長膜への成長等が有ったにもかかわらず、表面が平坦化された（同図14（B））。

【0057】InP選択成長領域は、エッジグロス32aがあったにもかかわらず、平坦なInP面が作成された。

【0058】多結晶32bは、平坦化材（ここでは、SiO₂）内に存在するが、表面としては、平坦化が実現された。

【0059】（実施例5）次に、第5の実施例として、光-電子融合に加え、光導波路も一緒にした例を示す。工程としては、実施例2の図10に示した配線工程の後（図15（A））に、次の工程を行った。

【0060】実施例2で配線工程を行った後、発光受光素子（ここでは、装置表面方向からの光の入出力が行われる）間の表面に、高屈折率の光導波路51を作製した（図15（B））。ここでは、図16に示す様に、発光受光素子12からの光は、斜に作製された導波路51により全反射され、横方向に伸びる光導波路51へ光が効率良く方向転換されている。この段階で、光配線、電気配線が完成し、目的を果たしている。

【0061】本実施例では、さらに光配線を2重化した。平坦化材52を配線段差より厚い膜厚で積層し、化学機械研磨により平坦化を行った（図17（A））。

【0062】その後CVDとフォトリソエッチング等により、光導波路を所望の発光素子と受光素子間に光配線を行った（図17（B））。ここでは、光配線の2重化として、横方向を第1層の光導波路51A（図17（B））、紙面方向を第2層の光導波路51B（図17（B））とした（図18の平面図参照）が、これらを適当に組合わせることはもちろん可能である。また、第2層目の光配線の工程において、電気配線を同時に実施することも可能である。

【0063】本実施例において、化合物半導体による発光受光素子は、他の素子等に較べて、高い位置にあり（換言すると、発光受光素子と光導波路との距離が短い）、光洩れが少なく、良い光結合（光配線）が実現された（III族-V族結晶が厚膜であることが、本実施例においては有効な良い方向に現れている）。

【0064】ここで、本実施例においては、光配線工程

において、表面は平坦化が成されており（50Å以下）、光導波路として損失あるいは外部への漏洩（クロストークに関係する）はきわめて少ない物を実現することが可能となった。

【0065】尚、電気配線工程と光配線工程を逆にして、光配線工程の後に、電気配線工程を行っても、同様の動作特性を有していた。

【0066】尚、本実施例では、発光受光方向を面発光として、光配線は横方向とした。そして、光の横-縦斜方向への変換を、斜に作製した全反射面を利用して行っている。

【0067】その他に、面方向の光を横方向に変換するにはグレーティングによる方法も実施した。また、キャビティを形成する横方向のLDや受光素子において、①斜に作製した全反射②グレーティング③導波路間の干渉等により、第1の光配線と第2の光配線を結合させるなど行ったが、従来の平面上に作製した光配線（導波路）と同程度の特性を有するものが得られた。その他に、既存の導波路技術を全て適用できることは言うまでも無い。

【0068】（実施例6）上記方法により作製した複合半導体回路装置の特徴を示す。

【0069】平坦上に電気配線を行うため、従来の方法で必要であった段差上の配線が不要となった。従来、段差上に配線した場合、その部分の配線が薄くなり、回路装置稼働中に配線がきれるなど信頼性に問題があった。本回路装置においては、平坦な部分でのみ配線されているため、段差によるこの劣化の問題はなくなり、回路装置の信頼性（配線の寿命試験）は、従来の平坦部の配線と同様になり、格段の向上が得られた。

【0070】また逆に、従来法においては、上記信頼性を確保するために、配線の幅あるいは厚みを厚くする方法が必要であった。換言すると、配線幅規制は、平坦部のそれで決まるのではなく、段差部で決まっていた。そのため、例えば本実施例の半導体回路装置作製装置において、平坦部においては0.1μmの線幅精度を有しているにも拘らず、従来法においては、段差部の上記信頼性を維持するために、線幅として、0.5μmまでしか確保できなかった。本実施例の場合、この様なことはなく、装置性能の0.1μmとしても、信頼性、歩留りに悪影響をあたえることはない。従って、本発明の半導体回路装置は、従来の物に比較して、高集積の複合半導体回路装置を得ることができた。

【0071】光配線においても、上記電気配線と同様の特性を有している。更に、光配線においては、下記の特徴を有し、従来法では不可能である複合半導体回路を実現できた。

【0072】従来の段差上の光配線においては、横方向の光配線であるにも拘らず、段差に従い、配線が上下方向に変化していた。導波路により光のとり込みが成され

ているとはいえ、この段差により、光の散乱、導波路外への漏洩等により、光配線を伝わる光の損失、光漏洩による配線間のクロストーク、シングルモードの崩壊が生じた。そのため、細い光配線、長距離の光伝送が不可能であった。その一例として、 $3\mu\text{m}$ の段差においては、約3dBの損失があった。本実施例の場合、それらの問題が全て解決されているという特徴を有している。

【0073】また、光配線において、その伝播特性は、導波路の界面の平坦性が大きな要因となる。導波路の界面に凹凸がある場合、光はそこで、散乱され、伝播損失の増大、外部への光の放出が生じて、導波路特性を著しく悪化させる。従来、段差上で導波路を作製した場合、フォトリソの焦点深度の関係から、フォトリソの切れを良くすることができなかった。そのため、段差が大きくなると、導波路の界面（外壁）に凹凸が発生した。段差 $3\mu\text{m}$ においては、 $1\mu\text{m}$ の凹凸が発生していた。 $1\mu\text{m}$ の凹凸では、 $1.5\mu\text{m}$ の光をシングルモードを伝播させることは不可能であった。しかしながら、本実施例においては、界面の凹凸は、 $0.03\mu\text{m}$ 以下に制御されており、伝播効率に格段の向上がみられ、チップ内の伝送（約4mm）においてはその損失が1dB以下になっている。

【0074】この様に、本発明の複合半導体装置は、上下方向、横方向（界面の凹凸）両方の、光導波路の界面平坦性（直線性）が向上しているという特徴を有しており、従来の技術では得られない、光配線特性を有している。

【0075】半導体部分が厚くなっているため、III族-V族化合物半導体の結晶性が向上している。従来法により作製した場合、本実施例と同じ結晶性を得ようとする、換言すると、同等のIII族-V族半導体素子特性を得ようとする、III族-V族半導体素子の上面が、Si-LSiの上面より高い位置になる。そのため、光・電気配線において、縦方向の配線が長くなるという不利があった。本発明回路装置においては、III族-V族回路装置も、Si回路装置も上面は同じ高さとなり、縦方向の配線が短く実現されている。配線が短くなり、電気・光配線による伝播効率が向上するという特徴を有している。

【0076】

【発明の効果】本発明によれば、III-Vヘテロエピタキシャル生長、III-V素子形成（成長）、フォトリソ工程、配線等を平坦な表面上で行うことが可能となり、凹凸に起因する、配線の段差切れ、フォトリソの焦点深度差によるボケ等が解決できる。従って、高集積が可能とな

る。その結果応答が高速になる。また従来の技術では、損失が大きく、実現不可能と考えられていた、光導波路を、光素子を形成した上に作成することが可能となる。

【図面の簡単な説明】

【図1】第1の実施例に係る複合半導体回路装置の概略図である。

【図2】第1の実施例の工程図である。

【図3】第1の実施例の工程図である。

【図4】第1の実施例の工程図である。

【図5】第1の実施例の工程図である。

【図6】第2の実施例の工程図である。

【図7】第2の実施例の工程図である。

【図8】第2の実施例の工程図である。

【図9】第2の実施例の工程図である。

【図10】第2の実施例の工程図である。

【図11】第3の実施例の工程図である。

【図12】第3の実施例の工程図である。

【図13】第4の実施例の工程図である。

【図14】第4の実施例の工程図である。

【図15】第5の実施例の工程図である。

【図16】斜全反射による光配線図である。

【図17】第5の実施例の工程図である。

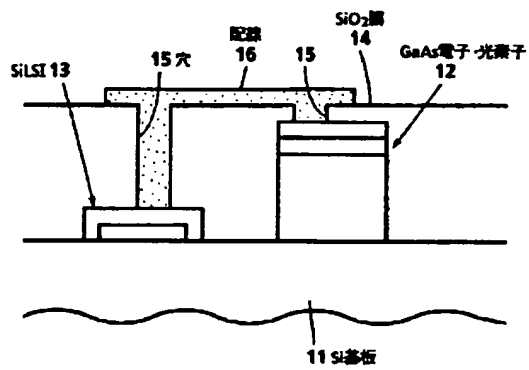
【図18】光配線（二重）、電気配線の平面図である。

【図19】従来の複合半導体回路装置の概略図である。

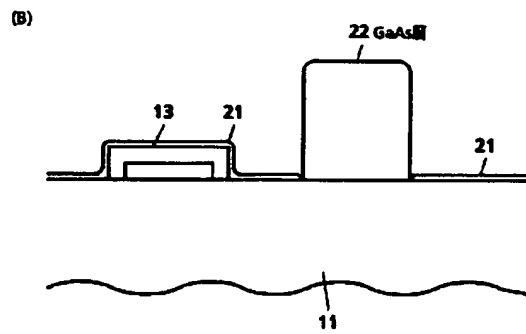
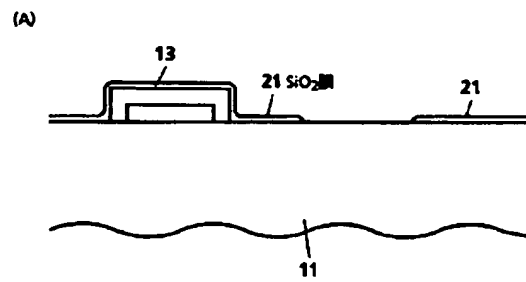
【符号の説明】

- 11 Si基板
- 12 GaAs電子・光素子
- 13 SiLSi
- 14 SiO₂膜
- 15 穴
- 16 配線
- 21 SiO₂膜
- 22 GaAs層
- 23, 27 SiO₂平坦化膜
- 24, 33 電子素子
- 25, 34 光素子
- 26, 35 電子・光素子
- 31 凹部
- 32 InP層
- 32a エッジグロース
- 32b 結晶
- 36 InP電子・光素子
- 41 Si₃N₄膜
- 51 光導波路

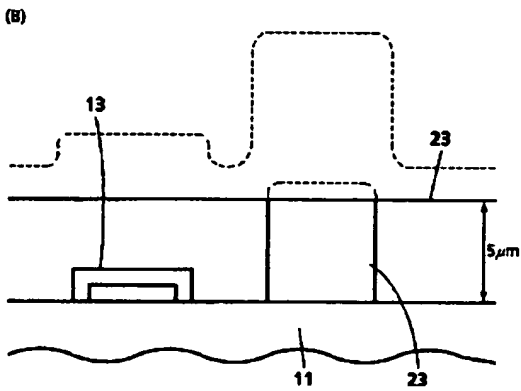
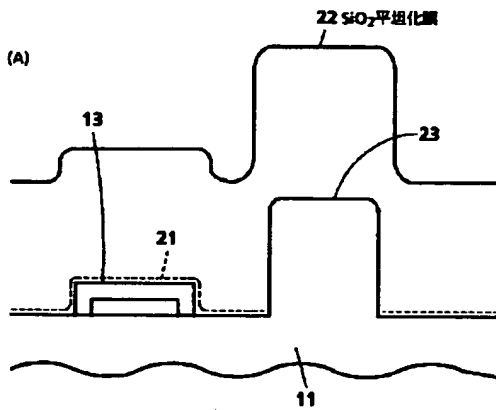
【図1】



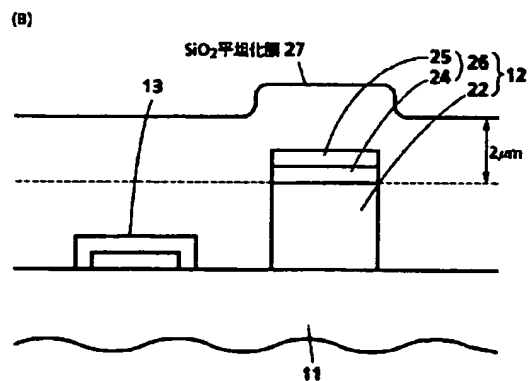
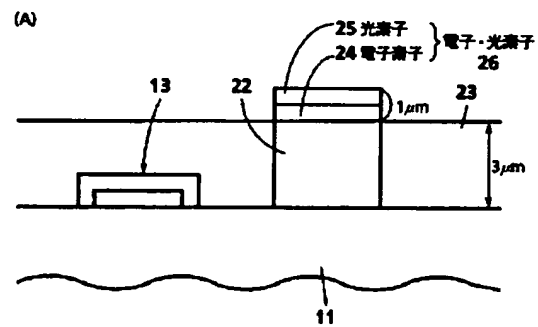
【図2】



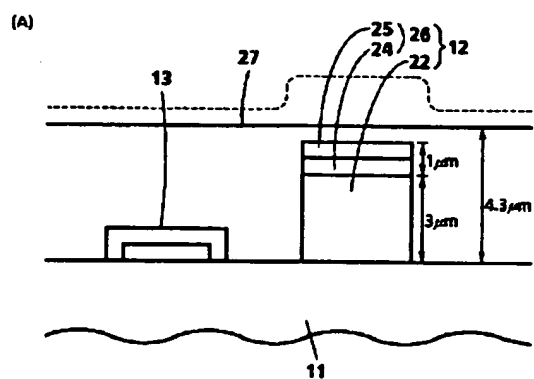
【図3】



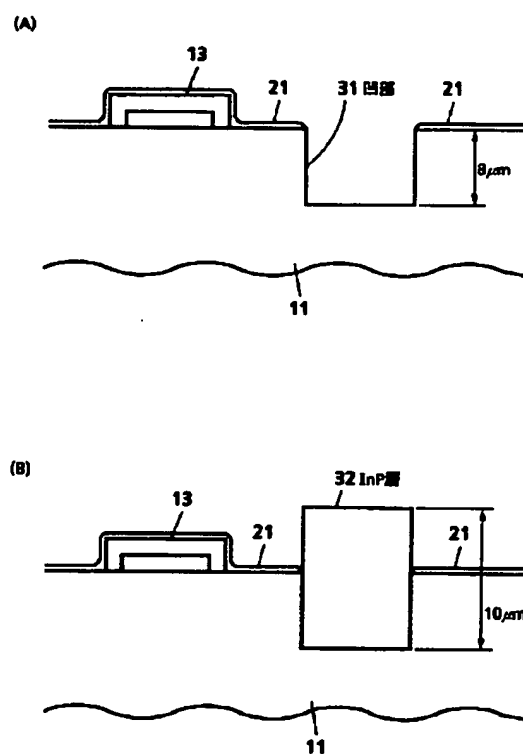
【図4】



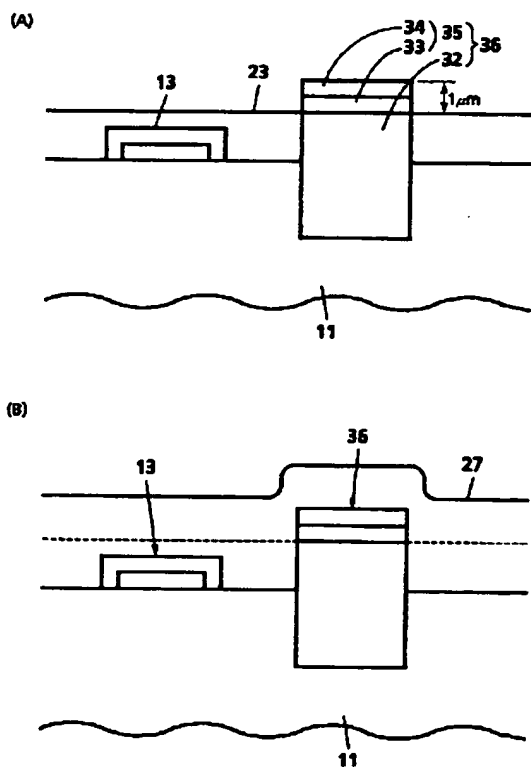
【図5】



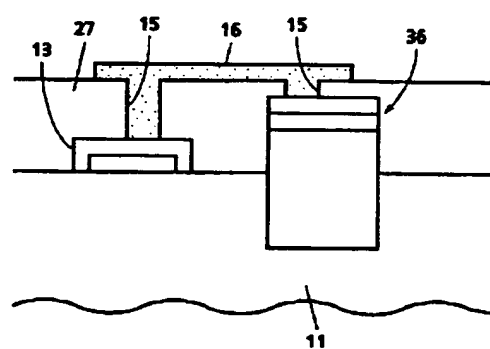
【図6】



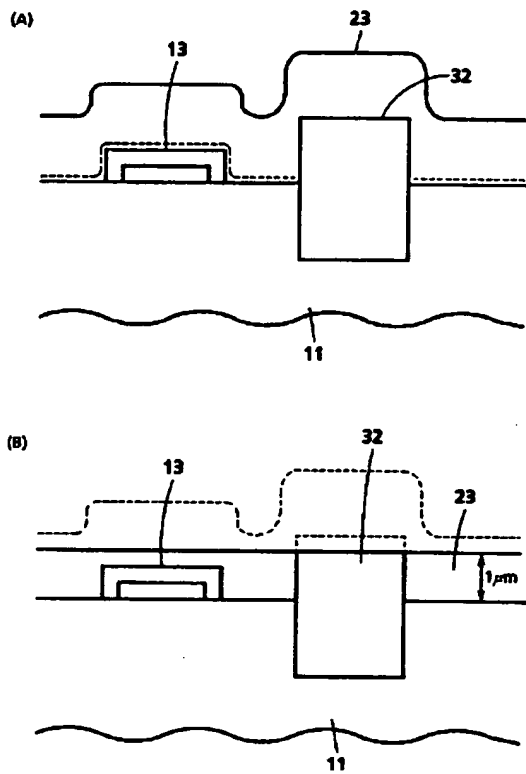
【図8】



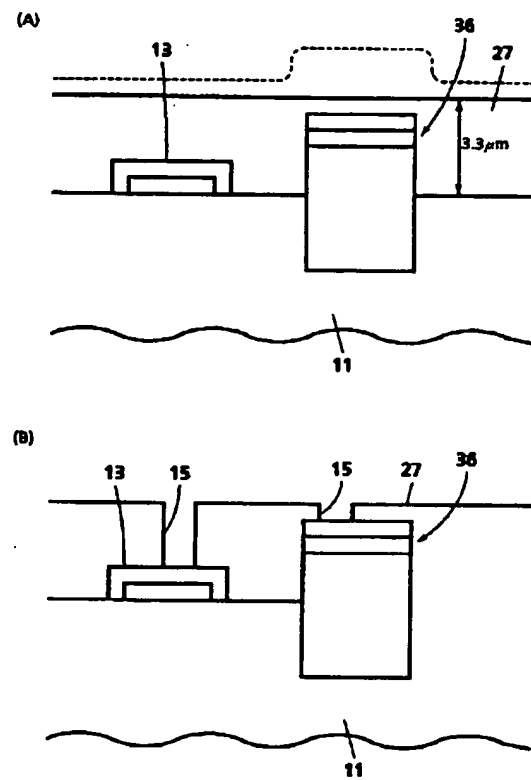
【図10】



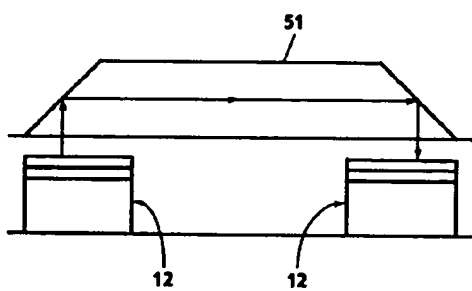
【図7】



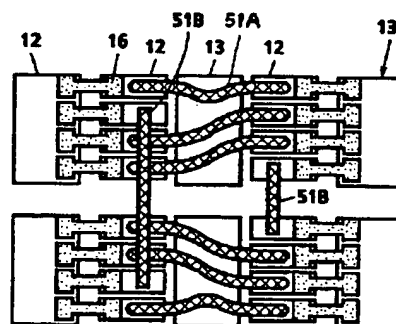
【図9】



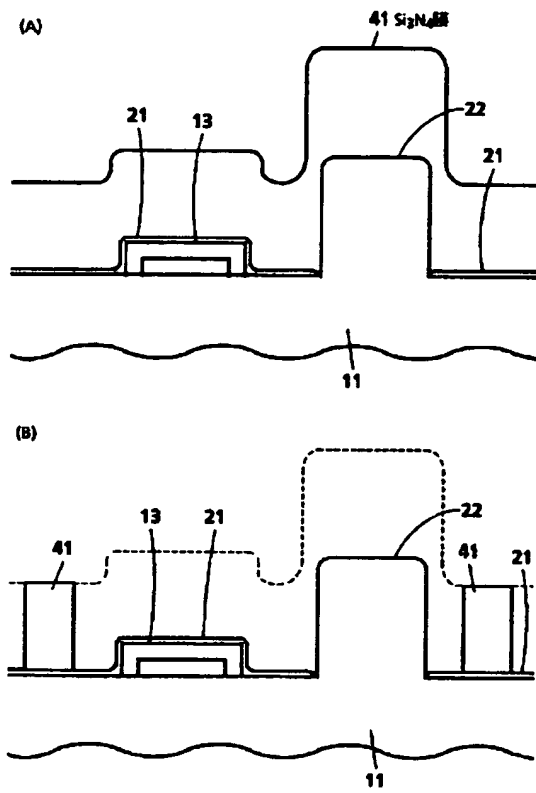
【図16】



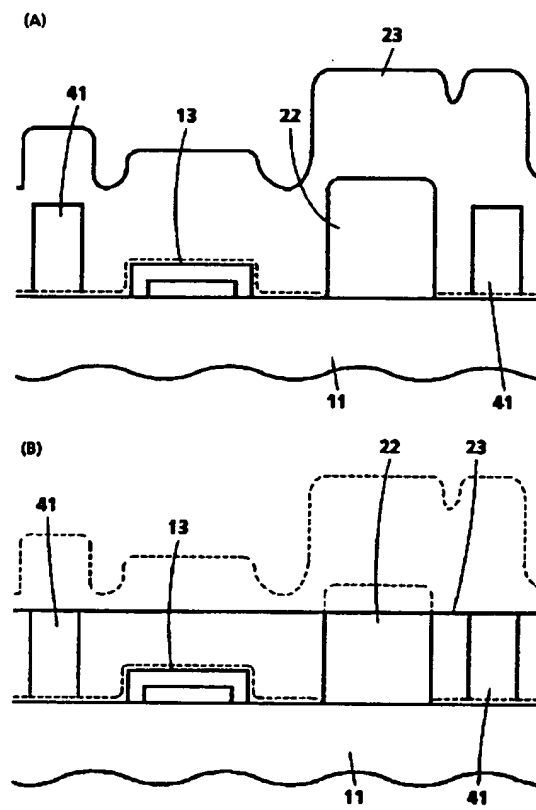
【図18】



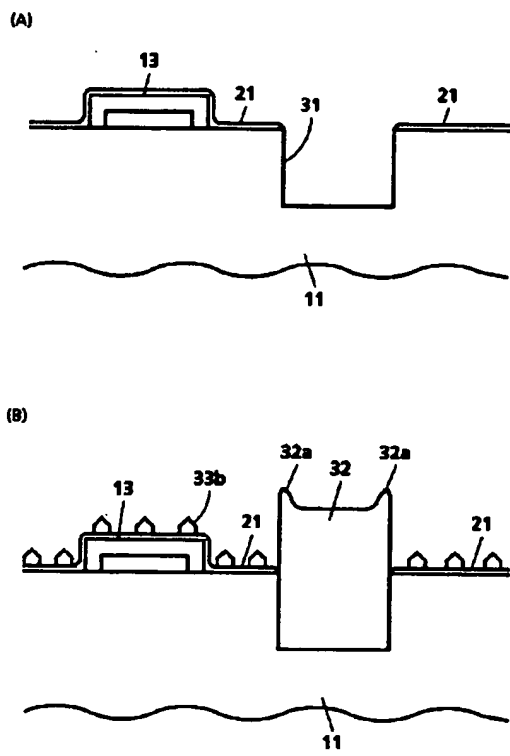
【図11】



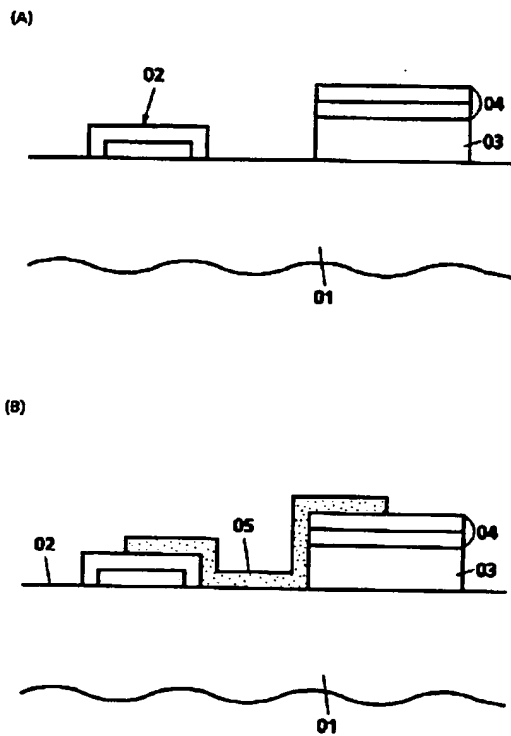
【図12】



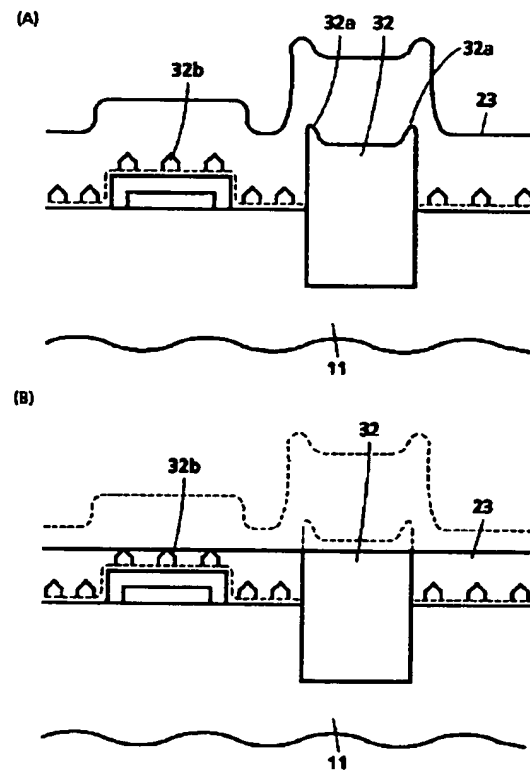
【図13】



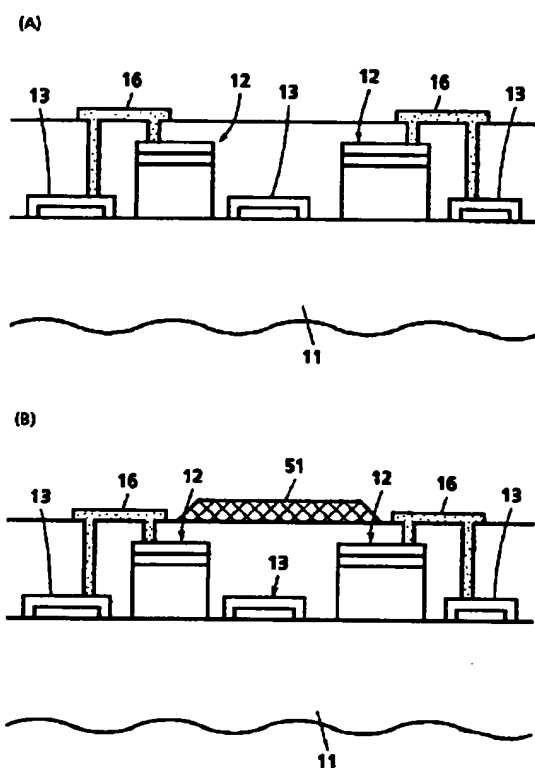
【図19】



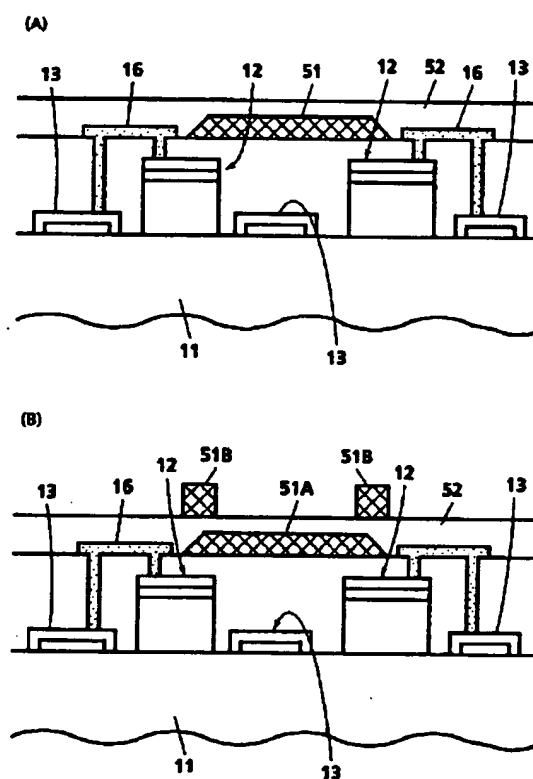
【図14】



【図15】



【図17】



フロントページの続き

(72)発明者 須郷 満
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 佐々木 徹
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

(72)発明者 小林 二三彦
東京都千代田区内幸町一丁目1番6号 日
本電信電話株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.